

등록특허 10-0548799

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
G09G 3/14

(45) 공고일자 2006년03월23일
(11) 등록번호 10-0548799
(24) 등록일자 2006년01월25일

(21) 출원번호	10-1998-0041330	(65) 공개번호	10-1999-0036755
(22) 출원일자	1998년10월01일	(43) 공개일자	1999년05월25일
(30) 우선권주장	9-286098 1997년10월01일 일본(JP) 10-146613 1998년05월11일 일본(JP)		

(73) 특허권자 가부시키키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 고야마 준
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오따이 에네루기 켄큐쇼

오사메 미츠아키
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오따이 에네루기 켄큐쇼

아자미 무네히로
일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤 한도오따이 에네루기 켄큐쇼

(74) 대리인 황의만

심사관 : 박무식

(54) 표시장치 및 그의 구동방법

요약

디지털 계조 방식의 반도체 표시장치 구동회로에서, 다수의 소스 신호선에 대하여 하나의 D/A 변환회로(208)가 제공되어 있고, 각각의 소스 신호선이 시분할 방식으로 구동된다. 이렇게 함으로써, 구동회로 내의 D/A 변환회로(208)의 수가 감소될 수 있고, 반도체 표시장치의 소형화가 달성될 수 있다.

도면

도2

영세서

도면의 간단한 설명

- 도 1은 종래의 디지털 계조 반도체 표시장치의 개략도.
- 도 2는 본 발명의 일 실시예에 따른 반도체 표시장치의 개략도.
- 도 3은 본 발명의 일 실시예에 따른 반도체 표시장치의 소스 신호선의 타이밍 차트.
- 도 4는 본 발명의 일 실시예에 따른 D/A 변환회로부의 구성도.
- 도 5는 본 발명의 일 실시예에 따른 D/A 변환회로부의 타이밍 차트.
- 도 6(A)~도 6(D)는 본 발명의 일 실시예에 따른 반도체 표시장치의 제작공정을 나타내는 도면.
- 도 7(A)~도 7(D)는 본 발명의 일 실시예에 따른 반도체 표시장치의 제작공정을 나타내는 도면.
- 도 8(A)~도 8(C)는 본 발명의 일 실시예에 따른 반도체 표시장치의 제작공정을 나타내는 도면.
- 도 9는 본 발명의 일 실시예에 따른 반도체 표시장치의 단면도.

도 10(A)~도 10(C)는 본 발명의 일 실시예에 따른 반도체 표시장치의 상면도 및 측면도,
 도 11은 본 발명의 일 실시예에 따른 반도체 표시장치의 액티브 매트릭스 기판의 단면도,
 도 12는 본 발명의 일 실시예에 따른 반도체 표시장치의 액티브 매트릭스 기판의 단면도,
 도 13(A)~도 13(F)는 본 발명의 반도체 표시장치를 탑재한 반도체장치의 예를 나타내는 도면,
 도 14는 본 발명의 일 실시예에 따른 반도체 표시장치의 부분 구성도,
 도 15는 본 발명의 일 실시예에 따른 반도체 표시장치의 블록도,
 도 16은 본 발명의 일 실시예에 따른 셀렉터 회로(스위치 회로)의 회로 구성도,
 도 17은 본 발명의 일 실시예에 따른 셀렉터 회로(스위치 회로)의 회로 구성도,
 도 18은 본 발명의 일 실시예에 따른 셀렉터 회로(스위치 회로)의 타이밍 차트,
 도 19는 본 발명의 일 실시예에 따른 반도체 표시장치의 사진,
 도 20은 CGS의 TEM 사진,
 도 21은 고온 폴리실리콘의 TEM 사진,
 도 22(A) 및 도 22(B)는 CGS 및 고온 폴리실리콘의 전자빔 회절 패턴을 나타내는 사진,
 도 23(A) 및 도 23(B)는 CGS 및 고온 폴리실리콘의 TEM 사진.

* 도면의 주요부분에 대한 부호의 설명

201: 소스 신호선측 시프트 레지스터	202: 어드레스 디코더
203, 204: 래치 회로	205: 래치 펄스 라인
206: 신호선	207: D/A 변환회로부
208: D/A 변환회로	209, 210: 스위치 회로
211: 소스 신호선	
212: 게이트 신호선측 시프트 레지스터	213: 주사선
214: 화소 TFT	

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 매트릭스 형태로 배치된 화소에 의해 화상과 같은 정보를 표시하는 반도체 표시장치에 관한 것이다.

최근, 값이 저렴한 유리 기판 상에 반도체 박막을 형성한 반도체장치, 예를 들어, 박막트랜지스터(TFT)를 제조하는 기술이 급속히 발달하여 오고 있다. 이것은 액티브 매트릭스형 액정 표시장치(액정 패널)의 수요가 증가하고 있기 때문이다.

액티브 매트릭스형 액정 패널은, 수 십 내지 수 백만개의 화소 영역 각각에 TFT가 배치되고, 각각의 화소 전극에 출력하는 전하를 TFT의 스위칭 기능에 의해 제어하도록 구성되어 있다.

그 중에서도, 고속으로 구동될 수 있는 디지털 계조 방식의 액티브 매트릭스형 액정 표시장치가 주목받고 있다.

도 1에 도시된 바와 같이, 종래의 디지털 계조 방식의 액티브 매트릭스형 액정 표시장치는 소스 신호선측 시프트 레지스터(101), 디지털 디코더(102), 래치 회로(103)(LAT1), 래치 회로(104)(LAT2), 래치 펄스 라인(105), D/A 변환회로(106), 소스 신호선(107), 게이트 신호선측 시프트 레지스터(108), 게이트 신호선(주사선)(109), 화소 TFT(110) 등으로 구성되어 있다.

디지털 디코더(102)의 어드레스 선(1~4)에 공급되는 디지털 계조 신호가 소스 신호선측 시프트 레지스터(101)로부터의 타이밍 신호에 의해 LAT1에 기입된다.

LAT1 그룹에 대한 디지털 계조 신호의 기입이 거의 종료하기까지의 시간이 1 라인 기간이라 불린다. 즉, 1 라인 기간이란, 디지털 디코더(102)로부터 도 1의 맨 왼쪽의 LAT1에 대한 계조 신호의 기입이 개시되는 시점으로부터 디지털 디코더(102)로부터 맨 오른쪽의 LAT1에 대한 계조 신호의 기입이 종료하는 시점까지의 시간 간격이다.

LAT1 그룹에 대한 계조 신호의 기입이 종료된 후, 시프트 레지스터의 동작 타이밍에 맞추어 래치 펄스 라인(105)으로 래치 펄스가 풀려, 메모리 1 그룹에 기입된 계조 신호가 LAT2 그룹으로 한꺼번에 송출되어 기입된다.

LAT2 그룹으로의 계조 신호의 송출을 마친 LAT1 그룹에는, 디지털 디코더(102)에 공급되는 계조 신호의 기입이 소스 신호선측 시프트 레지스터(101)로부터의 신호에 의해 순차적으로 다시 행해진다.

이 두 번째의 1 라인 기간에서는, 두 번째의 1 라인 기간의 개시에 맞추어 LAT2 그룹으로 송출된 계조 신호에 따라, D/A 변환회로(디지털/아날로그 변환회로)(106)에 의해 계조 전압이 선택된다.

선택된 계조 전압은 1 라인 기간에 대응하는 소스 신호선에 공급된다.

상기한 동작을 반복함으로써, 액정 표시장치의 화소부 전체에 영상이 제공된다.

그러나, 종래의 디지털 계조 액정 표시장치의 경우에는, 실제로는 D/A 변환회로의 면적이 다른 회로에 비하여 상당히 커서, 최근에 요구되는 액정 표시장치의 소형화에 방해가 된다.

최근, 처리되는 정보량의 급격한 증가로, 표시 용량(표시 해상도)을 증대시키고 표시 해상도를 미세화 하도록 설계되고 있다. 그러나, 표시 용량의 증가로 D/A 변환회로의 수도 증가하게 되어, 구동회로부의 면적 감소가 절실히 요구되고 있다.

여기서, 일반적으로 사용되는 컴퓨터의 표시 해상도의 예를 아래에 화소의 수와 규격명으로 나타낸다.

화소의 수(가로 × 세로)	규격명
640 × 400	: EGA
640 × 480	: VGA
800 × 600	: SVGA
1024 × 768	: XGA
1280 × 1024	: SXGA

예를 들어, XGA 규격(1024 × 768개 화소)을 예로 든 경우, 상기한 구동회로에서는, 1024개의 신호선을 마다 D/A 변환회로가 필요하게 된다.

최근, 퍼스널 컴퓨터의 분야에서도, 표시장치에서 성격이 다른 다수의 표시를 행하는 소프트웨어가 보급되고 있기 때문에, VGA 또는 SVGA 규격보다 높은 표시 해상도를 갖는 XGA 또는 SXGA 규격이 일반화되고 있다.

또한, 높은 해상도를 갖는 상기한 액정 표시장치는 퍼스널 컴퓨터에서의 데이터 신호의 표시 이외에 텔레비전 신호의 표시에도 사용되고 있다.

최근, 고성능 TV(HDTV) 또는 확장 선명 TV(EDTV)에서와 같이 아름다운 화질을 실현하기 위해, 1 화면분의 화상 데이터는 종래 TV의 것의 수 배 많게 된다. 또한, 화면을 대형화하여 보기(viewing)의 용이함을 향상시키고 하나의 표시장치에 다수의 화상을 표시하는 것이 가능하게 되기 때문에, 대화면 및 높은 계조가 점점 더 필요하게 되고 있다.

장래의 디지털 방송을 위한 TV(ATV)의 표시 해상도의 표준으로서는, 1920 × 1080 화소의 규격이 유력하여, 구동회로부의 면적 감소가 급격히 요구되고 있다.

그러나, 상기한 바와 같이, D/A 변환회로의 점유 면적이 크기 때문에, 화소 수가 증가함에 따라, 구동회로부의 면적이 현저하게 커져, 액정 표시장치의 소형화의 방해가 된다.

본 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 감안하여 이루어진 것으로, 본 발명의 목적은 구동회로부에서의 D/A 변환회로의 점유 면적을 감소시켜 소형의 반도체 표시장치, 특히 액정 표시장치를 제공하는데 있다.

본 발명의 구성 및 작용

본 발명의 일 실시양태에 따르면, 다수의 D/A 변환회로를 가지는 D/A 변환회로부를 포함하는 반도체 표시장치로서, 상기 다수의 D/A 변환회로를 각각이 기억회로로부터 공급되는 디지털 계조 신호들을 순차적으로 아날로그 변환하는 것을 특징으로 하는 반도체 표시장치가 제공된다. 이 장치에 의해 상기 목적이 달성된다.

상기 기억회로는 다수의 래치 회로를 포함할 수 있다.

본 발명의 다른 실시양태에 따르면, m 개의 x 비트 디지털 계조 신호(m 과 x 는 자연수이다)를 기억하는 기억회로와, 그 기억회로로부터 공급되는 상기 m 개의 x 비트 디지털 계조 신호를 아날로그 변환하고 m 개의 소스 신호선에 아날로그 신호를 공급하는 D/A 변환회로부를 포함하고; 상기 D/A 변환회로부가 n 개의 D/A 변환회로(n 은 자연수이다)를 가지고, 상기 n 개의 D/A 변환회로를 각각이 m/n 개의 x 비트 디지털 계조 신호를 순차적으로 아날로그 변환하고 대응하는 m/n 개의 소스 신호선에 아날로그 신호를 공급하는 것을 특징으로 하는 반도체 표시장치가 제공된다. 이 장치에 의해 상기 목적이 달성된다.

상기 기억회로는 다수의 래치 회로를 포함할 수 있다.

본 발명의 또 다른 실시양태에 따르면, 1 라인분의 m 개의 x 비트 디지털 계조 신호(m 과 x 는 자연수이다)를 기억하는 단계와, n 개의 D/A 변환회로(n 은 자연수이다) 각각에 의해 1 라인 기간에 m/n 개의 x 비트 디지털 계조 신호를 순차적으로 아날로그 변환하여 그 변환된 신호를 대응하는 m/n 개의 소스 신호선에 송출하는 단계를 포함하는 것을 특징으로 하는 반도체 표시장치 구동방법이 제공된다. 이 방법에 의해 상기 목적이 달성된다.

본 발명의 또 다른 실시양태에 따르면, 시프트 레지스터로부터의 타이밍 신호에 의해 m 개의 x 비트 디지털 계조 신호(m 과 x 는 자연수이다)를 샘플링하고 기억하는 단계와, n 개의 D/A 변환회로(n 은 자연수이다) 각각에 의해 m/n 개의 x 비트 디지털 계조 신호를 순차적으로 아날로그 변환하여 대응하는 m/n 개의 소스 신호선에

에 계조 전압을 송출하는 단계를 포함하는 것을 특징으로 하는 반도체 표시장치 구동방법이 제공된다. 이 방법에 의해 상기 목적에 달성된다.

일본 특허출원 9-344351호에 기재된 D/A 변환회로의 개시 내용, 일본 특허출원 9-365054호에 기재된 D/A 변환회로 및 반도체 장치의 개시 내용, 일본 특허출원 10-100638호에 기재된 반도체 표시장치 및 그의 구동회로의 개시 내용이 참고를 위해 본 명세서에도 포함되어 있다.

[실시예 1]

본 실시예에서는, 소스 신호선측 구동회로(드라이버)에서, 4개의 소스 신호선마다 하나의 D/A 변환회로가 제공되어 있어, 구동회로 중에서 D/A 변환회로가 차지하는 면적이 감소될 수 있다.

본 실시예에서는, 1920 × 1080의 표시 해상도를 갖는 액정 표시장치를 예로 들어 설명한다. 도 2를 참조한다. 도 2는 본 실시예의 액정 표시장치의 개략도를 나타낸다. 부호 201은 소스 신호선측 시프트 레지스터를 나타내고, 202는 래치 회로(209)(LAT1.0~LAT1.1919)에 디지털 계조 신호를 공급하는 어드레스 디코더를 나타낸다. 본 실시예에서는, 4비트 디지털 계조를 위한 구동회로를 예로 들고 있지만, 본 발명은 이것에 한정되는 것은 아니고, 6비트, 8비트, 또는 그 외의 디지털 계조 구동회로에도 적용될 수 있다.

부호 204는 래치 펄스 라인(205)으로부터의 래치 펄스에 의거하여, LAT1 그룹(LAT1.0~LAT1.1919)으로부터 한꺼번에 송출된 데이터를 기억하는 래치 회로(LAT2.0~LAT2.1919)를 나타낸다. 신호선(206)은 LAT2 그룹(LAT2.0~LAT2.1919)으로부터의 계조 신호를 하단으로 공급한다. 본 실시예에서는, 4비트 디지털 계조 신호가 처리되기 때문에, LAT2 그룹의 각각으로부터 4개의 신호선(206)이 연장하여 있다. 신호선(206)에는 순차적으로 부호가 부여되어 있지만, 도 2에서는 생략하였다.

도 14는 도 2에서 LAT2 그룹으로부터 소스 신호선(211)까지의 회로를 도 2의 맨 왼쪽의 D/A 변환회로(208)에 주목하여 나타낸 것이다. 신호선(206)에는 부호 L0.0~L3.3이 부여되어 있다. 신호선(206)을 나타내는 기호 La, b에서, "a"는 LAT2 그룹 내의 래치 회로의 번호를 나타내고, "b"는 0~3에 따라 상위 비트로부터 하위 비트까지의 비트 수를 나타낸다.

마찬가지로, 모든 신호선에 부호 L0.0~L1919.3이 부여되어 있다.

부호 207로 나타낸 부분(점선부)은 D/A 변환회로(208), 스위치 회로(209)(점선부) 및 스위치 회로(210)(점선부)를 포함하는 D/A 변환회로부이다. 부호 211은 부호 S0~S1919가 부여된 소스 신호선을 나타낸다.

D/A 변환회로부(207)에서, LAT2 그룹의 4개의 래치 회로마다(즉, LAT2 그룹(LAT0~LAT2.1919)에 접속된 신호선(L0.0~L1919.3)의 16개마다) 그리고 신호선(S0~S1919)의 4개마다 하나의 D/A 변환회로(208)가 제공되어 있다. 따라서, 본 실시예에서는, 480(= 1920/4)개의 D/A 변환회로(208)가 제공되어 있게 된다. 도 2에서 맨 왼쪽의 D/A 변환회로(208)에 접속된 스위치 회로(209)가 LAT2 그룹의 4개의 래치 회로 중에서 하나의 래치 회로로부터의 비트 신호를 순차적으로 선택한다. 스위치 회로(210)는 소스 신호선(S0~S3)중 하나를 선택한다.

부호 212는 주사선(213)에 주사 신호를 공급하는 게이트 신호선측 시프트 레지스터를 나타낸다. 부호 214는 화소 TFT를 나타내고, 각각의 화소 TFT는 전극, 액정재료 등과 함께 화소를 구성한다.

다음, 본 실시예의 반도체 표시장치의 동작에 대하여 설명한다.

먼저, 디지털 계조 신호가 소스 신호선측 시프트 레지스터(201)로부터의 타이밍 신호에 의해 디지털 디코더(202)로부터 LAT1 그룹에 순차적으로 기입된다.

LAT1 그룹에의 디지털 계조 신호의 기입이 거의 종료되기까지의 시간이 1 라인 기간이다. 즉, 디지털 디코더로부터 도 2의 맨 왼쪽의 래치 회로(LAT1.0)에의 계조 신호의 기입이 개시되는 시점으로부터 디지털 디코더로부터 맨 오른쪽의 래치 회로(LAT1.1919)에의 계조 신호의 기입이 종료되는 시점까지의 시간 간격이 1 라인 기간이다.

LAT1 그룹에의 계조 신호의 기입이 종료된 후, LAT1 그룹에 기입된 계조 신호들이 래치 펄스 라인(205)에 공급되는 래치 펄스에 맞추어 LAT2 그룹으로 한꺼번에 송출된다. LAT2 그룹은 계조 신호를 기억하고 신호선(206)에 계조 신호를 송출한다.

LAT2 그룹에의 계조 신호의 송출이 끝난 LAT1 그룹에는, 디지털 디코더(202)에 공급되는 계조 신호의 기입이 소스 신호선측 시프트 레지스터(201)로부터의 신호에 의해 다시 순차적으로 행해진다.

다음, 신호선(206)에 공급되는 계조 신호가 D/A 변환회로부(207)에 의해 계조 전압으로 순차적으로 변환되어 소스 신호선(S0~S1919)으로 송출되기까지의 동작에 대하여, 도 2의 맨 왼쪽의 스위치 회로(209), D/A 변환회로(208), 스위치 회로(210)를 예로 들어 설명한다.

다시 도 14를 참조한다. 계조 신호가 LAT1 그룹에 다시 순차적으로 기입되는 1 라인 기간 중에, 1 라인 기간이 D/A 변환회로부(207)에서 4개의 부분으로 분할되고, 스위치 회로(209)의 4개의 스위치가 신호선(L0.0~L0.3, L1.0~L1.3, L2.0~L2.3, L3.0~L3.3)에 순차적으로 접속되고, 스위치 회로(210)가 소스 신호선(S0~S3)에 순차적으로 접속된다. 즉, 처음 4분의 1 라인 기간에서, 스위치 회로(209)의 4개의 스위치가 래치 회로(LAT2.0)로부터의 신호선(L0.0~L0.3)을 동시에 선택하고, 스위치 회로(210)는 소스 신호선(S0)을 선택한다. 이 사이, 래치 회로(LAT2.0)에 공급되는 계조 신호의 4개 비트가 동시에 D/A 변환회로(208)에 입력되고, 계조 신호가 D/A 변환회로(208)에 의해 아날로그 계조 전압으로 변환된 후, 그 계조 전압이 소스 신호선(S0)으로 송출된다. 한편, 이 사이, 래치 회로(LAT2.1~LAT2.3)로부터의 신호선(L1.0~L3.3)에는 계조 신호가 계속 공급되지만, 스위치 회로(209)는 신호선(L1.0~L3.3)을 선택하지 않는다. 이 사이, 스위치 회로(210)는 소스 신호선(S1~S3)을 선택하지 않는다.

다음에, 다음 4분의 1 라인 기간 중에는, 스위치 회로(209)의 4개의 스위치가 래치 회로(LAT2.1)로부터의 신호선(L1.0~L1.3)을 동시에 선택하고, 스위치 회로(210)는 소스 신호선(S1)을 선택한다. 이 사이, 래치 회로(LAT2.1)에 공급되는 계조 신호는 D/A 변환회로(208)에 의해 계조 전압으로 변환되고, 그 계조 전압이

소스 신호선(S1)으로 송출된다. 한편, 이 사이, 래치 회로(LAT2.0, LAT2.2, LAT2.3)로부터의 신호선(L0.0~L0.3, L2.0~L2.3, L3.0~L3.3)에는 계조 신호가 계속 공급되지만, 스위치 회로(209)는 신호선(L0.0~L0.3, L2.0~L2.3, L3.0~L3.3)을 선택하지 않는다. 이 사이, 스위치 회로(210)는 소스 신호선(S0, S2, S3)을 선택하지 않는다.

또 다음 4분의 1 라인 기간 중에는, 스위치 회로(209)의 4개의 스위치는 래치 회로(LAT2.2)로부터의 신호선(L2.0~L2.3)을 동시에 선택하고, 스위치 회로(210)는 소스 신호선(S2)을 선택한다. 이 사이, 래치 회로(LAT2.2)에 공급되는 계조 신호는 D/A 변환회로(208)에 의해 계조 전압으로 변환되고, 그 계조 전압이 소스 신호선(S2)으로 송출된다. 한편, 이 사이, 래치 회로(LAT2.0, LAT2.1, LAT2.3)로부터의 신호선(L0.0~L0.3, L1.0~L1.3, L3.0~L3.3)에는 계조 전압이 계속 공급되지만, 스위치 회로(209)는 신호선(L0.0~L0.3, L1.0~L1.3, L3.0~L3.3)을 선택하지 않는다. 이 사이, 스위치 회로(210)는 소스 신호선(S0, S1, S3)을 선택하지 않는다.

최종 4분의 1 라인 기간(즉, 1 라인 기간의 최종 4분의 1 라인 기간) 중에는, 스위치 회로(209)의 4개의 스위치는 래치 회로(LAT2.3)로부터의 신호선(L3.0~L3.3)을 동시에 선택하고, 스위치 회로(210)는 소스 신호선(S3)을 선택한다. 이 사이, 래치 회로(LAT2.3)에 공급되는 계조 신호가 D/A 변환회로(208)에 의해 계조 전압으로 변환되고, 그 계조 전압이 소스 신호선(S3)으로 송출된다. 한편, 이 사이, 래치 회로(LAT2.0, LAT2.2)로부터의 신호선(L0.0~L0.3, L1.0~L1.3, L2.0~L2.3)에는 계조 신호가 계속 공급되지만, 스위치 회로(209)는 신호선(L0.0~L0.3, L1.0~L1.3, L2.0~L2.3)을 선택하지 않는다. 이 사이, 스위치 회로(210)는 소스 신호선(S0~S2)을 선택하지 않는다.

상기한 동작에 의해, 4분의 1 라인 기간마다 순차적으로 소스 신호선(S0~S3)으로 계조 전압이 송출된다. 이 소스 신호선으로 송출되는 계조 전압과 게이트 신호선측 시프트 레지스터(212)로부터 주사선(213)에 공급되는 주사신호에 의해 화소 TFT에 전압이 순차적으로 인가되고, 화소가 스위칭된다.

상기 동작이 모든 래치 회로(LAT2.0~LAT2.1919)의 4개마다 동시에 행해진다.

1 라인 기간에 소스 신호선으로의 계조 전압의 송출이 종료할 때, LAT1 그룹에의 새로운 계조 신호의 기입이 종료되므로, LAT1 그룹에 기입된 계조 신호가 래치 펄스 라인(205)으로부터의 래치 펄스에 의해 LAT2 그룹으로 다시 한꺼번에 송출된다. LAT2 그룹은 새로운 계조 신호를 기억하고, 신호선(206)에 계조 신호를 계속 공급한다.

그 다음, 상기한 바와 같이, 스위치 회로(209) 및 스위치 회로(210)에 의한 신호선(206)의 신호선(L0.0~L3.3)과 소스 신호선(S0~S1919)의 선택이 개시된다.

도 3은 소스 신호선(S0~S1919)으로 송출되는 데이터의 타이밍을 나타낸다. 실제로는 소스 신호선(S0~S1919)에 마늘로그 계조 전압이 인가되지만, 도 3은 계조 전압이 공급되는 타이밍만을 나타낸다.

상기한 동작이 모든 선택된 주사선에 대하여 행해져, 1 화면의 화상이 만들어진다. 이러한 1 화면의 형성은 1초간에 60회 행해진다.

여기서, D/A 변환회로(207)의 회로 구성에 대하여 도 4를 참조하여 설명한다. 설명의 편의상, 도 2에서 맨 왼쪽의 스위칭 회로(209), D/A 변환회로(208), 및 스위칭 회로(210)만을 나타내지만, 이것과 동일한 구성을 가지는 회로가 480개 제공되어 있다. 또한, 설명의 편의상, 스위칭 회로(209)를 논리 회로 기호로 나타낸다. 공지의 D/A 변환회로가 D/A 변환회로(208)에 사용될 수 있기 때문에, 그의 설명은 여기서 생략한다.

스위칭 회로(209)는 4개의 신호선(LS0~LS3), 16개의 2입력 NAND 회로(N0~N15), 4개의 4입력 NAND 회로(4inN0~4inN3)를 포함한다. 스위칭 회로(210)는 8개의 신호선(SS0~SS3, 반전SS0~반전SS3), N채널형 TFT 및 P채널형 TFT로 각각 구성된 4개의 마늘로그 스위치(ASW0~ASW3)를 포함한다. 신호선(반전SS0~반전SS3)에는 신호선(SS0~SS3)으로 송출되는 신호의 반전 신호가 송출된다.

도 4에 나타낸 바와 같이, LAT2 그룹으로부터의 신호선(L0.0~L3.3)과 신호선(LS0~LS3)이 2입력 NAND(N0~N15)에 입력된다. 이들 16개의 2입력 NAND의 출력이 4개의 4입력 NAND(4inN0~4inN3)에 입력된다. 4개의 4입력 NAND의 출력은 D/A 변환회로(208)에 입력된다. D/A 변환회로(208)로부터의 출력은 4개의 마늘로그 스위치(ASW0~ASW3)에 입력된다. 이들 4개의 마늘로그 스위치는 신호선(SS0~SS3, 반전SS0~반전SS3)으로부터의 신호에 의해 제어된다.

상기한 구성이 모든 래치 회로 LAT2(LAT2.0~LAT2.1919)의 4개마다 제공되어 있다.

도 5는 각각의 신호선에 입력되는 신호들의 타이밍 차트를 나타낸다. LAT2 그룹(LAT2.0~LAT2.1919)에는 4비트 디지털 계조 신호가 입력된다. LAT2 그룹에 입력되는 계조 신호는 1 라인 기간마다 새로운 계조 신호로 개서(改書)된다.

4분의 1 라인 기간마다 신호선(LS0~LS3)에 순차적으로 하이(Hi) 신호가 입력되기 때문에, LAT2 그룹에 공급되는 4비트 디지털 계조 신호가 4분의 1 라인 기간마다 D/A 변환회로(208)에 순차적으로 입력되게 된다.

D/A 변환회로(208)에 입력되는 디지털 계조 신호는 마늘로그 계조 전압으로 변환되고, 그 계조 전압은 하위의 마늘로그 스위치(ASW0~ASW3)에 입력된다. 이 마늘로그 스위치(ASW0~ASW3)는 신호선(SS0~SS3) 및 이들의 반전 신호선(SS0~SS3)에 의해 제어된다. 마늘로그 스위치(ASW0~ASW3)를 순차적으로 개방함으로써, 4분의 1 라인 기간마다 소스 신호선(S0~S3)에 순차적으로 계조 전압이 공급된다.

상기 동작이 모든 LAT2 그룹으로부터의 계조 신호에 대하여 행해지고, 모든 대응하는 소스 신호선으로 계조 전압이 송출된다. 실제로는 소스 신호선(S0~S1919)에는 마늘로그 계조 전압이 인가되지만, 도 3은 계조 전압이 공급되는 타이밍만을 나타낸다.

이렇게 하여, 1 라인에 대한 화소 TFT들의 '온'(on)이 행해진다. 상기 동작이 모든 선택된 주사선(1080개 주사선)에 대해 행해져, 1 화면(1 프레임)의 영상이 형성된다. 이러한 1 화면의 형성이 1초간에 60회 행

해진다.

본 실시예에서는, 1화면의 형성이 1초간에 60회 행해지기 때문에, 1 프레임 기간은 $1/60 = 16.7 \text{ msec}$ 이다. 1 라인 기간은 $1/60/1080 = 15.4 \text{ } \mu\text{sec}$ 이고, 각각의 화소를 구동하는 기간은 $1/60/1080/4 = 3.86 \text{ } \mu\text{sec}$ 이다. 그러한 고속 구동을 실현할 수 있는 화소 TFT에 요구되는 특성으로서는, $30 \text{ cm}^2/\text{Vs}$ 이상의 캐리어 이동도이다. 이하 설명되는 실시예 2에서는, 그러한 고성능의 TFT를 실현할 수 있는 반도체 장치 제작방법에 대하여 설명한다.

본 실시예의 구동회로에 의하면, 구동회로 중에서도 큰 면적을 차지하는 D/A 변환회로의 수가 종래의 구동회로에서의 1/4로 될 수 있기 때문에, 스위치 회로의 증가를 고려하더라도, 반도체 표시장치의 소형화를 실현하는 것이 가능하다.

본 실시예에서는, D/A 변환회로의 수를 종래의 구동회로의 것의 1/4로 하였지만, 본 발명에서는, D/A 변환회로의 수를 다른 수로 변경할 수도 있다. 8개의 소스 신호선에 하나의 D/A 변환회로가 할당되는 경우, 본 실시예의 반도체 표시장치에서는, D/A 변환회로의 수가 240개로 되어, 구동회로의 면적의 추가 감소도 실현할 수 있다. 이처럼, 몇 개의 소스 신호선에 하나의 D/A 변환회로를 할당하는가는 본 실시예에 한정되는 것은 아니다.

따라서, 본 발명의 반도체 표시장치가 n 개의 소스 신호선(n 은 자연수)을 가지는 경우(바꿔 말하면, 화소 수(가로 \times 세로)가 $m \times$ 임의의 수인 경우), 1 라인에 대하여 m 개의 x 비트 디지털 계조 신호(x 는 자연수)가 공급된다. 이 경우, 본 발명의 반도체 표시장치가 n 개의 D/A 변환회로(n 은 자연수)를 갖는 D/A 변환회로부를 구비하는 경우, 각각의 D/A 변환회로는 m/n 개의 디지털 계조 신호를 순차적으로 아날로그 신호로 변환하고, 그 아날로그 신호를 대응하는 m/n 개의 소스선에 공급한다. 디지털 계조 신호의 비트 수에 대응하는 D/A 변환회로를 사용하는 것이 적합하다.

[실시예 2]

본 실시예에서는, 실시예 1에서 사용된 구동회로를 가진 액정 표시장치의 제작방법에 대하여 설명한다.

본 실시예에서는, 다수의 TFT가 접연 표면을 가진 기판 상에 형성되고, 화소 매트릭스 회로와 구동회로를 포함한 주변 회로가 모놀리식(monolithic) 구조로 구성되는 예를 도 6~도 9를 참조하여 설명한다. 본 실시예에서는, 구동회로와 같은 주변 회로의 예로서 기본 회로인 CMOS 회로를 나타낸다. 또한, 본 실시예에서는, P 채널형 TFT와 N 채널형 TFT가 각각 하나의 게이트 전극을 가지는 회로의 제작공정을 설명하지만, 이중 게이트형과 같은 다수의 게이트 전극을 가진 회로도 동일한 방식으로 제조될 수 있다.

도 6(A)~도 6(D)를 참조한다. 먼저, 접연 표면을 가진 기판으로서 석영 기판(601)을 준비한다. 석영 기판 대신에, 표면에 열산화막이 형성된 실리콘 기판을 사용할 수도 있다. 또한, 석영 기판 상에 비정질 규소막을 일시에 형성한 다음, 그 막을 완전히 열산화하여 절연막을 형성하는 방법이 채택될 수도 있다. 또한, 절연막으로서 질화규소막을 형성한 석영 기판 또는 세라믹 기판이 사용될 수도 있다.

부호 602는 비정질 규소막을 나타내고, 이 규소막은 최종 막 두께(열산화 후의 막 감소를 고려한 막 두께)가 $10 \sim 75 \text{ nm}$ (바람직하게는 $15 \sim 45 \text{ nm}$)가 되도록 조절된다.

비정질 규소막의 성막 시, 비정질 규소막 중의 불순물의 농도를 적절히 관리하는 것이 중요하다. 본 실시예의 경우, 비정질 규소막(602)에서 결정화를 저해하는 불순물인 C(탄소)와 N(질소) 각각의 농도가 $5 \times 10^{15} \text{ 원자/cm}^3$ 미만(대표적으로는 $5 \times 10^{14} \text{ 원자/cm}^3$ 이하, 바람직하게는 $2 \times 10^{14} \text{ 원자/cm}^3$)이 되고, O(산소)의 농도가 $1.5 \times 10^{18} \text{ 원자/cm}^3$ 미만(대표적으로는 $1 \times 10^{18} \text{ 원자/cm}^3$ 이하, 바람직하게는 $5 \times 10^{17} \text{ 원자/cm}^3$)이 되도록 관리한다. 이들 불순물 중 어느 하나의 농도가 상기 값을 초과하면, 그 불순물이 후의 결정화 시에 악영향을 끼칠 수 있고, 이것이 결정화 후의 막질(膜質)을 저하시키는 원인이 될 수 있다. 본 명세서에서, 막 중의 불순물의 상기 농도는 SIMS(2차 이온 질량 분석)의 측정 결과의 최소치로 정의된다.

상기 구성을 얻기 위해, 본 실시예에서 사용하는 감압 CVD 노(爐)의 건식 플리닝을 주기적으로 행하여 성막실을 청정화하는 것이 바람직하다. 성막실의 건식 플리닝은, 약 $200 \sim 400^\circ\text{C}$ 까지 가열된 노 내로 $100 \sim 300 \text{ sccm}$ 의 ClF_3 (불화 염소) 가스를 흘려 보내고 열분해에 의해 생성된 불소를 사용하여 행해지는 것이 좋다.

본 발명자들의 지견(知見)에 따르면, 노 내의 온도를 300°C 로 하고 ClF_3 (불화 염소) 가스의 유량을 300 sccm 으로 한 경우, 4시간에 대략 $2 \text{ } \mu\text{m}$ 두께의 부착물(규소를 주성분으로 하는)을 완전히 제거하는 것이 가능하다.

비정질 규소막(602) 내의 수소 농도도 매우 중요한 파라미터이고, 수소 함유량을 낮게 할수록, 양호한 결정성을 가진 막이 얻어지는 것으로 나타났다. 따라서, 비정질 규소막(602)을 감압 CVD법으로 성막하는 것이 바람직하다. 성막 조건을 최적화하면, 플라스마 CVD법을 사용하는 것도 가능하다.

다음, 비정질 규소막(602)의 결정화 공정을 행한다. 결정화 수단으로서는, 일본 공개특허공고 평7-130652호 공보에 개시된 기술을 이용한다. 이 공보에 개시된 실시예 1 및 실시예 2의 어떠한 수단이라도 사용될 수 있지만, 본 실시예에서는, 상기 공보의 실시예 2에 기재된 기술 내용(상세한 것은 일본 공개특허공고 평8-79329호 공보에 설명되어 있음)을 이용하는 것이 바람직하다.

일본 공개특허공고 평8-79329호 공보에 개시된 기술에 따르면, 먼저, 촉매원소 첨가 영역을 선택하기 위한 마스크 절연막(603)을 형성한다. 이 마스크 절연막(603)은 촉매원소를 첨가하기 위한 다수의 개구부를 가지고 있다. 이 개구부의 위치에 의해 결정 영역의 위치를 결정할 수 있다.

비정질 규소막의 결정화를 조정하는 촉매원소로서 니켈(Ni)을 함유하는 용액을 스프인 코팅법에 의해 도포하여, Ni 함유 층(604)을 형성한다. 촉매원소로서는, 니켈 이외에도, 코발트(Co), 철(Fe), 팔라듐(Pd), 게

르마늄(Ge), 백금(Pt), 구리(Cu), 금(Au) 등이 사용될 수 있다. 이 공정까지의 상태가 도 2(A)에 도시되어 있다.

상기 촉매원소 첨가 공정으로서, 레지스트 마스크를 이용한 이온 주입법 또는 플라즈마 도핑법이 사용될 수도 있다. 이 경우, 첨가 영역의 점유 면적을 감소시키고 횡방향 성장 영역의 성장 거리를 제어하는 것이 용이하게 되기 때문에, 상기 방법은 미세한 회로를 형성하는 경우 효과적인 기술이 된다.

다음, 촉매원소 첨가 공정의 완료 후, 약 450°C에서 1시간 정도 탈수소화를 행한 다음, 불활성 가스 분위기, 수소 분위기 또는 산소 분위기에서 500~700°C(대표적으로는 550~650°C)의 온도로 4~24시간 가열처리를 행하여 비정질 규소막(602)의 결정화를 행한다. 본 실시예에서는, 질소 분위기에서 570°C로 14시간 가열처리를 행하였다.

이때, 비정질 규소막(602)의 결정화는 니켈이 첨가된 영역(605, 606)에 발생된 핵으로부터 우선적으로 진행하고, 기판(601)의 표면에 대략 평행하게 성장한 결정 영역(607, 608)이 형성된다. 이 결정 영역(607, 608)을 횡방향 성장 영역이라 부른다. 횡방향 성장 영역은 그 영역 내의 각각의 결정립이 비교적 균일한 상태로 조합되어 있기 때문에 전체적인 결정성이 우수하다는 이점을 가진다. (도 6(B))

한편, 상기한 일본 공개특허공고 평 7-130652호의 실시예 1에 설명된 기술을 사용하는 경우에도, 미세적으로는 횡방향 성장 영역이라 불릴 수 있는 영역이 형성된다. 그러나, 핵 발생이 막내에서 불규칙하게 일어나기 때문에, 결정 입계를 제어하는 것이 어렵다.

결정화를 위한 가열처리가 종료된 후, 마스크 절연막(603)을 제거하고, 패턴링을 행하여, 횡방향 성장 영역(607, 608)으로 된 섬 형상의 반도체층(활성층)(609, 610, 611)을 형성한다. (도 6(C))

여기서, 부호 609는 CMOS 회로를 구성하는 N채널형 TFT의 활성층을 나타내고, 610은 CMOS 회로를 구성하는 P채널형 TFT의 활성층을 나타내고, 611은 화소 매트릭스 회로를 구성하는 N채널형 TFT(화소 TFT)의 활성층을 나타낸다.

활성층(609, 610, 611)이 형성된 후, 규소를 함유하는 절연막으로 된 게이트 절연막(612)을 그 위에 형성한다.

다음, 도 6(D)에 나타낸 바와 같이, 촉매원소(니켈)를 제거하거나 감소시키기 위한 가열처리(촉매원소 게터링 공정)를 행한다. 이 가열처리에서는, 처리 분위기에 할로겐 원소를 첨가하여, 그 할로겐 원소에 의한 금속원소의 게터링 효과를 이용한다.

할로겐 원소에 의한 게터링 효과를 충분히 얻기 위해서는, 상기 가열처리를 700°C를 초과하는 온도에서 행하는 것이 바람직하다. 그 온도가 700°C 이하인 경우, 처리 분위기에서의 할로겐 화합물의 분해가 어렵게 되어, 게터링 효과가 얻어지지 않을 우려가 있다.

따라서, 본 실시예에서는, 가열처리를 700°C를 초과하는 온도, 바람직하게는 800~1000°C(대표적으로는 950°C)의 온도에서 행하고, 처리 시간은 0.1~6시간, 대표적으로는 0.5~1시간으로 한다.

본 실시예에서는, 0.5~10 vol% (본 실시예에서는, 3 vol%)의 염화 수소(HCl)를 함유한 산소 분위기에서 950°C로 30분간 가열처리를 행하는 예를 나타낸다. HCl의 농도가 상기한 농도보다 높으면, 활성층(609, 610, 611)의 표면에 막 두께에 필적하는 요철이 생기기 때문에, 그러한 높은 농도는 바람직하지 않다.

할로겐 원소를 함유한 화합물로서 HCl 가스를 사용하는 예를 나타냈지만, HCl 가스 이외에, 대표적으로는 HF, NF₃, HBr, Cl₂, ClF₃, BCl₃, F₂ 및 Br₂와 같은 할로겐 함유 화합물로부터 선택된 알 종류 또는 다수 종류의 가스가 사용될 수도 있다.

이 공정에서는, 활성층(609, 610, 611)내에 함유된 니켈이 염소의 작용에 의해 게터링되고 휘발성 염화 니켈로 전환되어 대기 중으로 이탈하여 니켈이 제거되는 것으로 고려된다. 이 공정에 의해, 활성층(609, 610, 611)내의 니켈의 농도는 5×10^{15} 원자/cm³ 이하로까지 낮아진다.

한편, 5×10^{15} 원자/cm³의 값은 SIMS(미차 이온 질량 분석)의 검출 한한이다. 본 발명자들에 의해 시작(試作)된 TFT의 분석 결과, 니켈 농도가 1×10^{15} 원자/cm³ 이하(바람직하게는 5×10^{14} 원자/cm³ 이하)인 경우, TFT 특징에 대한 니켈의 영향이 확인될 수 없으나, 본 명세서에서의 불순물 농도는 SIMS 분석의 측정 결과의 최소 값으로서 정의된다.

또한, 상기 가열처리에 의해, 게이트 절연막(612)과 활성층(609, 610, 611) 사이의 계면에서 열산화반응이 진행하여, 게이트 절연막(612)의 두께가 열산화막의 두께만큼 증가한다. 이렇게 열산화막이 형성되면, 매우 적은 계면 준위를 갖는 반도체/절연막의 계면이 얻어질 수 있다. 또한, 활성층의 단부에서의 열산화막의 형성 불량(엣지 시닝(edge thinning))을 방지하는 효과도 있다.

마스크 절연막(603)을 제거한 후 그리고 활성층을 패턴링하기 전에 촉매원소 게터링 공정을 행할 수도 있다. 또한, 활성층을 패턴링한 후에 촉매원소 게터링 공정을 행할 수도 있다. 또한, 어떤 게터링 공정을 행할지 조합하여 행할 수도 있다.

또한, 상기 할로겐 분위기에서의 가열처리를 행한 후, 질소 분위기에서 대략 950°C로 1시간의 가열처리를 행하여 게이트 절연막(612)의 막질을 향상시키는 것도 효과적이다.

한편, 게터링 공정에 사용된 할로겐 원소가 $1 \times 10^{14} \sim 1 \times 10^{16}$ 원자/cm³의 농도로 활성층(609, 610, 611)에 잔존하는 것도 SIMS 분석에 의해 확인되었다. 또한, 이때, 활성층(609, 610, 611)과 가열처리에 의해 형성된 열산화막 사이에 상기 할로겐 원소가 고농도로 분포하는 것도 SIMS 분석에 의해 확인되었다.

다른 원소에 대한 SIMS 분석의 결과, 대표적인 불순물인 C(탄소), N(질소), O(산소), S(황) 각각의 농도가 5×10^{15} 원자/cm³ 미만(대표적으로는 1×10^{15} 원자/cm³ 이하)인 것이 확인되었다.

다음, 알루미늄을 주성분으로 하는 금속 막(도시되지 않음)을 형성하고, 패턴닝에 의해 후의 게이트 전극의 원형(原型)(613, 614, 615)을 형성한다. 본 실시예에서는, 2 wt%의 스퍼터를 함유한 알루미늄 막을 사용하였다. (도 7(A))

한편, 알루미늄을 주성분으로 하는 금속 막 대신에, 몰순물이 첨가된 다결정 규소막이 게이트 전극에 사용될 수도 있다.

다음, 일본 공개특허공고 평7-135318호 공보에 개시된 기술에 의해, 다공성 양극산화막(616, 617, 618), 무공성(無孔性) 양극산화막(619, 620, 621), 및 게이트 전극(622, 623, 624)을 형성한다. (도 7(B))

이렇게 하여, 도 7(B)에 나타난 상태가 얻어진 후, 게이트 전극(622, 623, 624) 및 다공성 양극산화막(616, 617, 618)을 마스크로 사용하여 게이트 절연막(612)을 에칭한다. 그 다음, 다공성 양극산화막(616, 617, 618)을 제거하여, 도 7(C)에 나타난 상태를 얻는다. 한편, 도 7(C)에서 부호 625, 626, 627은 가공 후의 게이트 절연막을 나타낸다.

다음, 일 전도성을 부여하는 불순물 원소의 첨가 공정을 행한다. 불순물 원소로서는, N형에 대해서는 P(인) 또는 As(비소), P형에 대해서는 B(붕소) 또는 Ga(갈륨)이 사용될 수 있다.

본 실시예에서는, 불순물 첨가를 2회의 공정으로 나누어 행하였다. 첫 번째 불순물 첨가(본 실시예에서는 P(인)가 사용됨)를 약 80 KeV의 높은 가속 전압으로 행하여 n⁺ 영역을 형성한다. n⁺ 영역에서의 P 미온의 농도가 $1 \times 10^{16} \sim 1 \times 10^{18}$ 원자/cm³이 되도록 조절한다.

그리고, 두 번째 불순물 첨가를 약 10 KeV의 낮은 가속 전압으로 행하여 n⁺ 영역을 형성한다. 이때 가속 전압이 낮기 때문에, 게이트 절연막이 마스크로서 기능한다. n⁺ 영역의 시트 저항이 500 Ω 이하(바람직하게는 300 Ω 이하)가 되도록 조절한다.

상기 공정들을 통해, CMOS 회로를 구성하는 N채널형 TFT의 소스 영역(628), 드레인 영역(629), 저농도 불순물 영역(630), 및 채널 형성 영역(631)이 형성된다. 또한, 화소 TFT를 구성하는 N채널형 TFT의 소스 영역(632), 드레인 영역(633), 저농도 불순물 영역(634), 및 채널 형성 영역(635)이 획정(劃定)된다. (도 7(D))

도 7(D)에 나타난 상태에서는, CMOS 회로를 구성하는 P채널형 TFT의 활성층도 N채널형 TFT의 활성층과 동일한 구성으로 되어 있다.

다음, 도 8(A)에 나타난 바와 같이, N채널형 TFT를 덮는 레지스트 마스크(636)를 제공하고, P형을 부여하는 불순물 이온(본 실시예에서는 붕소가 사용됨)을 첨가한다.

이 공정도 상기한 불순물 첨가 공정과 같이 2회의 공정으로 나누어 행하지만, N형이 P형으로 반전되어야 하기 때문에, 상기한 P 미온의 첨가 농도의 수 배 높은 농도로 B(붕소) 이온을 첨가한다.

이렇게 하여, CMOS 회로를 구성하는 P채널형 TFT의 소스 영역(637), 드레인 영역(638), 저농도 불순물 영역(639), 채널 형성 영역(640)이 형성된다. (도 8(A))

상기한 방식으로 활성층이 완성된 후, 노(furnace) 어닐, 레이저 어닐, 램프 어닐 등의 조합에 의해 불순물 이온의 활성화를 행한다. 동시에, 첨가 공정들에서 발생된 활성층의 손상도 치유된다.

다음, 용간절연막(641)으로서, 산화규소막과 질화규소막의 적층 막을 형성한다. 다음, 그 용간절연막에 콘택트 홀을 형성한 후, 소스 전극(642, 643, 644) 및 드레인 전극(645, 646)을 형성하여, 도 8(B)에 나타난 상태를 얻는다. 그 용간절연막(641)으로서, 유기성 수지 막이 사용될 수도 있다.

도 8(B)에 나타난 상태가 얻어진 후, 유기성 수지 막으로 된 제2 용간절연막(647)을 0.5~3 μm 의 두께로 형성한다. 이 유기성 수지막으로서, 폴리이미드, 아크릴, 폴리이미드, 폴리이미드 아미드 등이 사용될 수 있다. 제2 용간절연막으로서, 유기성 수지 막을 사용하는 이점으로서, 성막 방법이 간단하다는 것, 막 두께를 두껍게 하는 것이 용이하다는 것, 비유전율이 낮기 때문에 기생 용량을 감소시킬 수 있다는 것, 팽창성이 우수하다는 것 등을 들 수 있다.

다음, 차광성을 갖는 블랙 마스크(648)를 제2 용간절연막(647)상에 100 nm의 두께로 형성한다. 본 실시예에서는 블랙 마스크(648)로서 티탄 막을 사용하지만, 흑색 안료를 함유하는 수지 막 등이 사용될 수도 있다.

블랙 마스크(648)가 형성된 후, 산화규소막, 질화규소막, 유기성 수지막, 또는 이들의 적층 막 중 하나로 된 제3 용간절연막(649)을 0.1~0.3 μm 의 두께로 형성한다. 제2 용간절연막(647)과 제3 용간절연막(649)에 콘택트 홀을 형성하고, 화소 전극(650)을 120 nm의 두께로 형성한다. 본 실시예의 구성에 의하면, 블랙 마스크(648)가 화소 전극과 겹치는 영역에 보조 용량이 형성되어 있다(도 8(C)). 본 실시예는 투과형 액정표시장치에 관한 것이기 때문에, 화소 전극(650)을 구성하는 도전성 막으로서 ITO 등의 투명 도전막이 사용된다.

다음, 기판 전체를 수소 분위기에서 약 350°C의 온도로 1~2시간 가열하여 소자 전체를 수소화하여, 막(특히 활성층) 중의 당글링 결합(dangling bond)(꼭짓지 않은 결합)을 보상한다. 상기 공정들을 통해, 동일 기판 상에 CMOS 회로와 화소 매트릭스 회로를 제조하는 것이 가능하다.

다음, 도 9에 나타난 바와 같이, 상기 공정들을 통해 제조된 액티브 매트릭스 기판을 사용하여 액정 패널을 제작하는 공정을 설명한다.

도 8(C)에 나타난 상태의 액티브 매트릭스 기판 상에 배향막(651)을 형성한다. 본 실시예에서는, 배향막(651)에 폴리이미드를 사용하였다. 다음, 유리 기판(652), 투명 도전막(653), 및 배향막(654)으로 구성된 대향 기판을 준비한다.

본 실시예에서는, 배향막으로서, 액정 분자가 기판에 평행하게 배향되는 폴리이미드막을 사용하였다. 또

한, 배향막이 형성된 후, 러빙(rubbing) 처리를 행하여, 액정 분자가 어느 일정한 프리틸트(pre-tilt) 각으로 평행하게 배향되게 한다.

필요에 따라, 컬러 필터 등이 대향 기판 상에 형성되지만, 여기서는 이를 생략한다.

다음, 상기 공정들을 통해 얻어진 액티브 매트릭스 기판과 대향 기판을 공지의 셀 조립 공정에 의해 밀봉 부재, 스페이서(도시되지 않음) 등을 통해 서로 접합한다. 그 후, 양 기판 사이에 액정재료(655)를 주입하고, 밀봉제(도시되지 않음)에 의해 완전히 밀봉한다. 그리하여, 도 9에 나타낸 바와 같은 투과형 액정 패널이 완성된다.

본 실시예에서는, 액정 패널이 TN(트위스티드 네마틱) 모드로 표시를 행하도록 설계되었다. 따라서, 한 쌍의 편광판(도시되지 않음)을, 크로스 니콜(한 쌍의 편광판의 편광축이 서로 직교하는 상태)로 편광판들 사이에 액정 패널이 보유되도록 배치한다.

따라서, 본 실시예에서는, 액정 패널에 전압이 인가되지 않은 때 액정 패널이 백색 표시 상태로 되는 '노멀리 화이트(normally white)' 모드로 표시를 행한다.

도 10(A)~도 10(C)는 제작된 액정 패널의 외관을 개략적으로 나타낸다. 도 10(A)~도 10(C)에서, 부호 1001은 석영 기판, 1002는 화소 매트릭스 회로, 1003은 소스 신호선측 드라이버 회로, 1004는 게이트 신호선측 드라이버 회로, 1005는 다른 논리 회로를 나타낸다. 부호 1006은 대향 기판을 나타내고, 1007은 FPC(flexible print circuit) 단자를 나타낸다. 도 10(B)는 본 실시예의 액정 패널을 도 10(A)에서 화살표 A의 방향에서 본 도면이고, 도 10(C)는 액정 패널을 도 10(A)에서 화살표 B의 방향에서 본 도면이다.

논리 회로(1005)는 넓은 의미에서는 TFT로 구성된 모든 논리 회로를 포함하지만, 통상 화소 매트릭스 회로 또는 구동회로 불리는 회로와 논리회로를 구별하기 위해, 본 명세서에서의 논리 회로는 그러한 회로 이외의 신호 처리 회로(LCD 컨트롤러, 메모리, 펄스 발생기 등)를 지칭한다.

도 10(B) 및 도 10(C)는 본 실시예의 액정 패널에서 FPC가 부착된 단부 표면에서만 액티브 매트릭스 기판이 외부로 노출되어 있는 것을 나타낸다. 다른 3개의 단부 표면은 평평하다는 것이 이해될 것이다.

도 19는 본 실시예의 매트릭스형 액정 표시장치를 나타내는 사진이다. 도 19로부터, 양호한 체크 패턴의 표시가 행해져 있는 것이 이해된다.

여기서, 본 실시예의 제작방법에 따라 제작된 반도체 박막에 대하여 설명한다. 본 실시예의 제작방법에 의하면, 비정질 규소막을 결정화하여 연속 입계 결정 구조(소위 Continuous Grain Silicon: CGS)라 불리는 결정 구조막을 얻는 것이 가능하다.

본 실시예의 제작방법에 의해 얻어진 반도체 박막의 필방향 성장 영역은 통 형상 또는 평평한 통 형상의 결정립의 집합체로 이루어진 특이한 결정 구조를 갖는다. 이하, 그의 특징에 관하여 설명한다.

[활성층의 결정 구조에 관한 지견(知見)]

본 실시예의 필방향 성장 영역은 미시적으로 보면 다수의 통 형상(또는 평평한 통 형상) 결정립이 서로 대략 평행하게 특정 방향으로의 규칙성을 가지고 배열된 결정 구조를 갖는다. 이것은 TEM(투과형 전자 현미경법)에 의한 관찰로 쉽게 확인될 수 있다.

본 발명자들은 본 실시예의 제작방법에 의해 얻어진 반도체 박막의 결정 입계를 HR-TEM(고분해능 투과형 전자 현미경법)을 사용하여 상세히 관찰하였다(도 20). 본 명세서에서, 달리 특정하지 않는 한, 결정 입계란, 상이한 통 형상 결정립이 서로 접촉하여 있는 경계에 형성되는 입계를 가리키는 것으로 정의한다. 따라서, 결정 입계는, 예를 들어, 별도의 필방향 성장 영역들의 출몰에 의해 형성되는 가시적인 의미의 입계와는 다른 것으로 간주된다.

상기한 HR-TEM이란, 시료에 전자빔을 수직으로 조사하고 투과 전자 또는 탄성 산란 전자의 간섭을 이용하여 원자 및 분자의 배열을 평가하는 방법이다. 이 방법을 사용함으로써, 격자 줄무늬(lattice stripe)로서 결정 격자의 배열 상태를 관찰하는 것이 가능하다. 따라서, 결정 입계를 관찰함으로써, 결정 입계에서의 원자거리의 결합 상태를 추측할 수 있다.

본 발명자들에 의해 얻어진 TEM 사진(도 20)에서는, 2개의 상이한 결정립(통 형상 결정립)이 결정 입계에서 서로 접촉하여 있는 상태가 명확하게 관찰된다. 이때, 2개의 결정립이 결정 축에 약간의 편차가 포함되지만 대략 {110} 방향인 것이 전자빔 회절에 의해 확인된다.

상기한 바와 같은 TEM 사진에 의한 격자 줄무늬의 관찰에서는, {111} 면에 대응하는 격자 줄무늬가 {110} 면에서 관찰되었다. {111} 면에 대응하는 격자 줄무늬란, 결정립을 격자 줄무늬를 따라 절단한 경우, {111} 면이 단면에 나타나는 격자 줄무늬를 가리킨다. 격자 줄무늬가 어느 면에 대응하는지를 격자 줄무늬 사이의 거리에 의해 간단하게 확인할 수 있다.

이때, 본 발명자들은 본 실시예의 제작방법에 의해 얻어진 반도체 박막의 TEM 사진을 세밀하게 관찰한 결과, 매우 흥미 있는 지견(知見)을 얻었다. 사진에 보이는 2개의 상이한 결정립들 모두에서, {111} 면에 대응하는 격자 줄무늬가 보였고, 또한, 양 결정립에서의 격자 줄무늬가 서로 명확하게 평행하다는 것이 관찰되었다.

또한, 결정 입계의 존재에 무관하게, 2개의 상이한 결정립의 격자 줄무늬는 결정 입계를 교차하도록 서로 접촉되었다. 즉, 결정 입계를 교차하는 것으로 관찰되는 거의 모든 격자 줄무늬는 그들이 상이한 결정립의 격자 줄무늬라는 사실에도 불구하고 직선적으로 연속하여 있는 것이 확인되었다. 이것은 임의의 결정 입계에서도 마찬가지이었다.

그런 결정 구조(정확하게는 결정 입계의 구조)는 2개의 상이한 결정립이 결정 입계에서 우수한 정합성을 가지고 서로 접합하여 있다는 것을 나타낸다. 즉, 결정 입계에서 결정 격자가 서로 연속적으로 이어져 있어, 결정 결합 중에 기인하는 트랩 준위가 쉽게 형성되지 않는 구성이 된다. 바꿔 말하면, 결정 입계에서

결정 격자에 연속성이 있다고 말할 수 있다.

참고를 위해, 도 21에서는, 본 발명자들이 종래의 다결정 규소막(소위 고온 폴리실리콘 막이라 불림)에 대해서도 전자빔 회절 및 HR-TEM 관찰에 의한 해석을 행하였다. 그 결과, 2개의 상이한 결정립에서, 각 결정립의 격자 불무늬가 서로 상이한 방향으로 연장하였고, 결정 입계에서 정합성 층계 연속하는 집합이 거의 존재하지 않았다는 것이 밝혀졌다. 즉, 결정 입계에서는 격자 불무늬가 절단된 부분이 많았고, 많은 결정 결함이 존재하였다는 것이 밝혀졌다.

본 발명자들은, 본 발명의 반도체장치의 액정 패널에 사용되는 반도체 박막처럼, 격자 불무늬가 양호한 정합성을 가지고 서로 대응하는 경우의 원자들의 결합 상태를 정합 결합(conformity bonding)이라 부르고, 이때의 화학적 결합을 정합 본드(conformity bond)라 부른다. 대조적으로, 본 발명자들은, 종래의 다결정 규소막에서 종종 보이는 바와 같이 격자 불무늬가 양호한 정합성을 가지고 서로 대응하지 않는 경우의 원자들의 결합 상태를 비(非)정합 결합이라 부르고, 이때의 화학적 결합을 비정합 본드(적짓지 않은 결합)라 부른다.

본 발명에 사용된 반도체 박막은 결정 입계에서의 정합성이 매우 우수하기 때문에, 상이한 비정합 본드의 수가 매우 적다. 본 발명자들에 의해 행해진 임의의 다수의 결정 입계에 대한 연구 결과, 전체 본드에 대한 비정합 본드의 존재 비율은 10% 이하(바람직하게는 5% 이하, 더욱 바람직하게는 3% 이하)이었다. 즉, 전체 본드의 90% 이상(바람직하게는 95% 이상, 더욱 바람직하게는 97% 이상)이 정합 본드로 구성되어 있다.

상기 실시예의 제작방법에 따라 형성된 필방형 성장 영역을 전자빔 회절에 의해 조사한 결과를 도 22(A)에 나타낸다. 도 22(B)는 비교를 위한 종래의 폴리실리콘 막(고온 폴리실리콘 막이라 불림)의 전자빔 회절 패턴을 나타낸다.

도 22(A) 및 도 22(B)에 나타난 전자빔 회절 패턴에서, 전자빔의 조사(照射) 영역의 직경이 4.25 μm 이고, 충분히 넓은 영역의 정보가 수집되었다. 그 사진들은 임의의 다수의 부분을 조사한 결과의 대표적인 회절 패턴을 나타낸다.

도 22(A)의 경우, <110> 입사에 대응하는 회절 스폿(회절, 반점)이 비교적 분명히 나타나기 때문에, 거의 모든 결정립이 전자빔의 조사 영역 내에서 {110}으로 배향되어 있는 것이 확인할 수 있다. 한편, 도 22(B)에 나타난 종래의 고온 폴리실리콘 막의 경우에는, 회절 스폿에 명료한 규칙성이 보이지 않았고, {110}면 이외의 면 방위를 가지는 결정립들이 불규칙하게 혼재(混在)하는 것이 관망되었다.

이처럼, 반도체 박막이 결정 입계를 가지지만, {110} 배향에 특유한 규칙성을 가지는 전자빔 회절 패턴을 나타낸다는 것이 본 발명에서 사용되는 반도체 박막의 특징이다. 그 전자빔 회절 패턴을 종래의 것과 비교한 때, 종래의 반도체 박막과의 차이는 명백하다.

상기한 바와 같이, 상기 실시예의 제작공정에 의해 제작된 반도체 박막은 종래의 반도체 박막과는 매우 다른 결정 구조(정확하게는 결정 입계의 구조)를 가지는 반도체 박막이었다. 본 발명자들은 본 발명에서 사용된 반도체 박막에 관한 해석 결과를 일본 특허출원, 평9-55633호, 평9-165216호 및 평9-212428호에서도 설명하였다.

또한, 본 발명에서 사용되는 상기 반도체 박막의 결정립의 90% 이상이 정합 본드로 구성되어 있기 때문에, 이들은 캐리어의 이동을 저해하는 장벽(배리어)으로서 거의 기능하지 않는다. 즉, 본 발명에서 사용되는 반도체 박막에는 결정 입계가 실질적으로 존재하지 않는다고 말할 수 있다.

종래의 반도체 박막에서는 결정 입계가 캐리어의 이동을 저해하는 장벽으로 기능하지만, 그러한 결정 입계가 본 발명에서 사용되는 반도체 박막에는 실질적으로 존재하지 않기 때문에, 높은 캐리어 이동도가 실현될 수 있다. 따라서, 본 발명에서 사용되는 반도체 박막을 사용하여 제작된 TFT의 전기적 특성은 매우 우수한 값을 나타낸다. 이것에 대하여 이하에 설명한다.

[TFT의 전기적 특성에 관한 지견]

본 발명에서 사용되는 반도체 박막은 실질적으로 단결정으로 간주될 수 있기 때문에(결정 입계가 실질적으로 존재하지 않기 때문에), 그 반도체 박막을 활성층으로 사용하는 TFT는 단결정 규소를 사용하는 MOSFET에 필적하는 전기적 특성을 나타낸다. 아래에 나타난 바와 같은 데이터가 본 발명자들에 의해 시험(試作)된 TFT로부터 얻어진다.

(1) TFT의 스위칭 성능(온/오프 동작 전환의 신속성)을 나타내는 지표로서의 서브스레시홀드 계수는 N채널형 TFT와 P채널형 TFT 모두에서 60~100 mV/decade(대표적으로는 60~85 mV/decade)로 작다.

(2) TFT의 동작 속도를 나타내는 지표로서의 전계효과 이동도(μ_{FE})는 N채널형 TFT에서는 200~650 cm^2/Vs (대표적으로는 250~300 cm^2/Vs), P채널형 TFT에서는 100~300 cm^2/Vs (대표적으로는 150~200 cm^2/Vs)로 크다.

(3) TFT의 구동 전압을 나타내는 지표로서의 스레시홀드 전압(V_{th})은 N채널형 TFT에서는 -0.5~1.5 V, P채널형 TFT에서는 -1.5~0.5 V로 작다.

위에 설명된 바와 같이, 본 발명에서 얻어진 TFT는 매우 우수한 스위칭 특성 및 고속 동작 특성을 실현할 수 있다는 것이 확인된다.

한편, CGS의 형성에서, 결정화 온도 이상의 온도(700~1100°C)에서의 어닐 공정이 결정립 내의 결함의 제거에 대하여 중요한 역할을 한다. 이것에 대하여 이하에 설명한다.

도 23(A)는 상이한 결정화 공정까지의 공정이 종료된 시점에서의 결정성 규소막을 250,000배 확대한 TEM 사진이다. 화살표로 나타난 바와 같은 지그재그 형상의 결함이 결정립 내에 확인된다(검은 부분과 하얀

부분은 콘트라스트 차이에 기인하여 나타난다).

그러한 결합은 주로 규소 결정 격자 면상의 원자의 적층 순서가 어긋난 적층 결합이지만, 전위 등의 경우도 있다. 도 23(A)는 {110} 면에 평행한 결합 면을 갖는 적층 결합을 나타낸다. 이것은 지그재그 결합이 약 70° 각도로 구부러져 있는 사실로부터 확인될 수 있다.

한편, 도 23(B)에 나타낸 바와 같이, 동일 배율로 확대한 본 발명에서 사용되는 결정성 규소막에서는, 결정립 내에 적층 결합이나 전위 등에 기인하는 결합이 거의 보이지 않고, 결정성이 매우 높다는 것이 확인된다. 이러한 결합을 막 표면 전체에서 볼 수 있고, 현재 상황에서는 결합의 수를 제로(0)로 하는 것이 어렵지만, 그 수를 실질적으로 제로로까지 저감시키는 것이 가능하다.

즉, 본 발명의 반도체장치의 역정 패닐에 사용되는 결정성 규소막에서는, 결정립 내의 결합이 거의 무시될 수 있을 정도로까지 감소되고, 결정 입계가 높은 연속성에 기인하여 캐리어의 이동을 저해하는 장벽이 될 수 없어, 그 막이 단결정 또는 실질적으로 단결정으로 간주될 수 있다.

이처럼, 도 23(A) 및 도 23(B)의 사진에 나타난 결정성 규소막에서, 결정 입계가 거의 동등한 연속성을 갖지만, 결정립 내의 결합의 수에는 큰 차이가 있다. 도 23(B)에 나타낸 결정성 규소막이 도 23(A)에 나타낸 결정성 규소막보다 훨씬 높은 전기적 특성을 나타내는 이유는 주로 결합 수의 차이 때문이다.

상기로부터, 흑매원소의 게터링 공정이 CGS의 형성에 필요 불가결한 공정이라는 것이 이해된다. 본 발명자들은 이 공정에서 일어나는 현상에 대하여 다음의 모델을 고려한다.

먼저, 도 23(A)에 나타낸 상태에서는, 흑매원소(대표적으로는 니켈)가 결정립 내의 결합(주로 적층 결합)에서 편석된다. 따라서, Si-Ni-Si 결합과 같은 결합이 많이 존재하고 있다고 생각된다.

그러나, 결합에 존재하는 Ni이 흑매원소의 게터링 공정을 행함으로써 제거되면, Si-Ni 결합이 절단된다. 그리하여, 규소의 나머지 작지지 않은 결합이 즉시 Si-Si 결합을 형성하여 안정하게 된다. 이렇게 하여, 결합이 소멸한다.

물론, 결정성 규소막내의 결합이 고온에서의 열 어닐에 의해 소멸한다는 것은 알려져 있지만, 니켈과의 결합이 절단되어 많은 작지지 않은 결합이 발생되기 때문에, 규소의 재결합이 원활하게 행해지는 것으로 추측될 수 있다.

또한, 본 발명자들은 결정성 규소막이 결정화 온도 이상의 온도(700~1100°C)에서의 가열처리에 의해 그의 하층에 고착되고 밀착성이 증가되어, 결합이 소멸하는 모델도 고려한다.

이렇게 하여 얻어진 결정성 규소막(도 23(B))은 결정화만을 행한 결정성 규소막(도 23(A))과 비교하여 결정립 내의 결합 수가 매우 작다는 특징을 가진다. 결합 수의 차이는 전자 스핀 공명 분석(ESR)에 의해 스핀 밀도의 차이로 나타난다. 현재 상황에서는, 본 발명에서 사용된 결정성 규소막의 스핀 밀도는 1×10^{16} spin/cm³ 이하(대표적으로는 5×10^{15} spin/cm³ 이하)이다.

본 발명에서 사용된, 상기한 결정 구조 및 특징을 갖는 결정성 규소막을 연속 입계 결정 규소(Continuous Grain Silicon: CGS)라 부른다.

[실시예 3]

본 실시예에서는, 실시예 1에서 설명된 구동회로를 가지는 반도체 표시장치를 엑스태거형으로 제작하는 예를 나타낸다.

도 11을 참조한다. 도 11은 본 실시예의 반도체 표시장치의 액티브 매트릭스 기판의 단면도를 나타낸다. 이 도면에서는, 반도체 표시장치의 구동회로의 대표적인 회로로서 CMOS 회로가 나타내어져 있다. 또한, 화소 TFT로 구성된 주변 매트릭스 회로와 다른 주변 회로도 동시에 형성되어 있다.

부호 1101은 기판, 1102는 하지(下地) 절연막, 1103, 1104는 게이트 전극, 1105는 게이트 절연막, 1106, 1107은 N채널형 TFT의 소스/드레인 영역, 1108, 1109는 저농도 불순물 영역, 1110은 채널 형성 영역, 1111, 1112는 P채널형 TFT의 소스/드레인 영역, 1113, 1114는 저농도 불순물 영역, 1115는 채널 형성 영역, 1116, 1117은 채널 스톱퍼, 1118은 용간절연막, 1118, 1119, 1120, 1121은 소스/드레인 전극을 나타낸다. 채널 스톱퍼(1116, 1117)는 N채널형 및 P채널형 TFT의 채널 형성 영역을 형성할 때의 도핑 마스크로서 기능한다.

본 실시예의 반도체 활성층은 실시예 2의 방법에 의해 다결정화될 수 있다.

또한, 본 실시예의 반도체 활성층은 레이저 어닐 기술을 이용하여 다결정화될 수 있다.

그 밖의 구성에 대해서는 실시예 2에 따르는 것으로 할 수 있다.

[실시예 4]

본 실시예에서는, 실시예 1에서 설명된 구동회로를 가지는 반도체 표시장치를 실시예 3에서 설명된 것과 다른 엑스태거형으로 제작한다.

도 12를 참조한다. 부호 1201은 기판, 1202는 하지 절연막, 1203, 1204는 게이트 전극, 1205는 게이트 절연막, 1206, 1207은 반도체 활성층, 1208, 1209는 p⁺ 층, 1210, 1211은 p⁺ 층, 1212, 1213, 1214는 소스/드레인 전극, 1215는 채널 보호막을 나타낸다.

본 실시예의 반도체 활성층은 실시예 2의 방법에 의해 다결정화될 수 있다.

또한, 본 실시예의 반도체 활성층은 레이저 어닐 기술을 이용하여 다결정화될 수 있다.

그 밖의 구성에 대해서는 실시예 2에 따르는 것으로 할 수 있다.

[실시예 5]

본 실시예에서는, 스위치 회로의 구체적인 회로 구성의 일 예에 대하여 설명한다. 본 실시예에서는, 액티브 매트릭스형 반도체 표시장치의 주요부의 블록도를 나타낸다. 시프트 레지스터 회로, 래치 회로 등에 대해서는 실시예 1을 참조할 수 있다. 본 실시예에서도, 표시재료로서 액정을 사용하는 액티브 매트릭스형 액정 표시장치를 구성하는 것이 가능하다.

도 15를 참조한다. 도 15는 본 실시예의 액티브 매트릭스형 반도체 표시장치의 주요부의 블록도를 나타낸다. 실시예 1과 다른 점은, 소스 신호선측 구동회로가 화소 매트릭스 회로를 사이에 두고 위아래에 사용되고 있고, 게이트 신호선측 구동회로가 화소 매트릭스 회로를 사이에 두고 좌우에 사용되고 있고, 소스 신호선측 구동회로에 레벨 시프트 회로가 사용되고 있고, 디지털 비디오 데이터 분할회로가 설치되어 있다는 것 등이다. 또한, D/A 변환회로에 대해서는, 실시예 1에서와 같은 D/A 변환회로가 사용되지만, 디지털 비디오 데이터를 상위 비트와 하위 비트로 분할하고, 제1 및 제2 D/A 변환회로에 의해 디지털 비디오 데이터를 아날로그 영상 신호로 변환하도록 설계하는 것도 가능하다. 레벨 시프트 회로는 필요에 따라 사용되고, 그 회로가 항상 사용될 필요는 없다.

본 실시예의 액티브 매트릭스형 액정 표시장치는 소스 신호선측 구동회로 A(1501), 소스 신호선측 구동회로 B(1502), 게이트 신호선측 구동회로 A(1512), 게이트 신호선측 구동회로 B(1515), 화소 매트릭스 회로(1516), 및 디지털 비디오 데이터 분할회로(1510)를 포함한다.

소스 신호선측 구동회로 A(1501)는 시프트 레지스터 회로(1502), 버퍼 회로(1503), 래치 회로(1)(1504), 래치 회로(2)(1505), 셀렉터(스위치) 회로(1)(1506), 레벨 시프트 회로(1507), D/A 변환회로(1508), 및 셀렉터(스위치) 회로(2)(1509)를 포함한다. 소스 신호선측 구동회로 A(1501)는 영상 신호(계조 전압 신호)를 홀수 번째 소스 신호선에 공급한다. 본 실시예에서는, 실시예 1에서 설명된 스위치 회로에 상당하는 회로를 셀렉터 회로라 부르는 것으로 한다.

소스 신호선측 구동회로 A(1501)의 동작에 대하여 설명한다. 시프트 레지스터 회로(1502)에는 스타트 펄스 및 클럭 신호가 입력된다. 그 시프트 레지스터 회로(1502)는 상기 스타트 펄스와 클럭 신호에 의거하여 버퍼 회로(1503)에 타이밍 신호를 순차적으로 공급한다.

시프트 레지스터 회로(1502)로부터의 타이밍 신호는 버퍼 회로(1503)에 의해 버퍼된다. 화소 매트릭스 회로(1506)에 접속된 소스 신호선과 시프트 레지스터 회로(1502) 사이에는 많은 회로 또는 소자들이 접속되어 있기 때문에, 부하(負荷) 용량(커패시턴스)이 크다. 이러한 큰 부하 용량에 의해 야기되는 타이밍 신호의 "무디어짐"(dulling)을 방지하기 위해 버퍼 회로(1503)가 제공되어 있다.

버퍼 회로(1503)에 의해 버퍼된 타이밍 신호는 래치 회로(1)(1504)에 공급된다. 래치 회로(1)(1504)는 2비트 데이터용 각각 처리하는 960개의 래치 회로를 포함한다. 타이밍 신호가 입력된 때, 래치 회로(1)(1504)는 디지털 비디오 데이터 분할회로로부터 디지털 비디오 데이터의 기입이 개시되는 시점으로부터 맨 오른쪽의 래치 회로에 디지털 비디오 데이터의 기입이 종료되는 시점까지의 시간 간격이다.

래치 회로(1)(1504)의 모든 래치 회로에 디지털 신호의 기입이 개시되기까지의 시간을 1 라인 기간(수평 주사기간)이라 부른다. 즉, 1 라인 기간이란, 래치 회로(1)(1504)중 맨 왼쪽의 래치 회로에 디지털 비디오 데이터 분할회로로부터의 디지털 비디오 데이터의 기입이 개시되는 시점으로부터 맨 오른쪽의 래치 회로에 디지털 비디오 데이터의 기입이 종료되는 시점까지의 시간 간격이다.

래치 회로(1)(1504)에 디지털 비디오 데이터의 기입이 종료된 후, 래치 회로(1)(1504)에 기입된 디지털 비디오 데이터는, 시프트 레지스터 회로(1502)의 동작 타이밍에 맞추어, 래치 펄스가 래치 회로(2)(1505)에 접속된 래치 펄스 라인으로 흐른 때 한꺼번에 래치 회로(2)(1505)로 송출되어 그 래치 회로에 기입된다.

래치 회로(2)(1505)에 디지털 비디오 데이터의 송출이 끝난 래치 회로(1)(1504)에는, 시프트 레지스터 회로(1502)로부터의 타이밍 신호에 의해, 디지털 비디오 데이터 분할회로로부터 공급되는 디지털 비디오 신호의 기입이 다시 순차적으로 행해진다. 래치 회로(1)(1504)와 래치 회로(2)(1505)의 그러한 동작은 실시예 1과 특별히 다른 것은 아니다.

두 번째의 1 라인 기간에서는, 두 번째의 1 라인 기간의 개시에 맞추어 래치 회로(2)(1505)로 송출된 디지털 비디오 데이터가 셀렉터 회로(1)(1506)에 의해 순차적으로 선택된다. 본 실시예의 셀렉터 회로의 구성 및 동작에 대해서는 후에 설명한다.

셀렉터 회로(1)(1506)에 의해 선택된, 래치 회로로부터의 2비트 디지털 비디오 데이터는 레벨 시프트 회로(1507)에 공급된다. 디지털 비디오 데이터의 전압 레벨이 레벨 시프트 회로(1507)에 의해 상승되고, 그 디지털 비디오 데이터는 D/A 변환회로(1508)에 공급된다. D/A 변환회로(1508)는 2비트 디지털 비디오 데이터를 아날로그 신호(계조 전압)로 변환하고, 그 아날로그 신호는 셀렉터 회로(2)(1509)에 의해 선택된 소스 신호선에 순차적으로 공급된다. 소스 신호선에 공급되는 아날로그 신호는 화소 매트릭스 회로(1516)의 화소 TFT의 소스 영역에 공급된다.

게이트 신호선측 구동회로 A(1512)에서는, 시프트 레지스터 회로(1513)로부터의 타이밍 신호가 버퍼 회로(1514)에 공급되고, 대응하는 게이트 신호선(주사선)에 공급된다. 1 라인에 대한 화소 TFT의 게이트 전극이 게이트 신호선에 접속되어 있고, 1 라인에 대한 모든 화소 TFT가 동시에 '온'(on)으로 되어야 하기 때문에, 큰 전류 용량을 갖는 버퍼 회로(1514)가 사용된다.

이처럼, 대응하는 TFT의 스위칭이 게이트 신호선측 시프트 레지스터로부터의 주사신호에 의해 행해지고, 소스 신호선측 구동회로로부터의 아날로그 신호(계조 전압)가 화소 TFT에 공급되고, 액정 분자가 구동된다.

부호 1511은 소스 신호선측 구동회로 B를 나타내고, 그의 구성은 소스 신호선측 구동회로 A(1501)와 같다. 소스 신호선측 구동회로 B(1511)는 짝수 번째의 소스 신호선에 영상 신호를 공급한다.

부호 1515는 게이트 신호선측 구동회로 A(1512)와 동일한 구성을 가지는 게이트 신호선측 구동회로 B를 나

타낸다. 본 실시예에서는, 이와 같이 게이트 신호선측 구동회로들이 화소 매트릭스 회로(1516)의 양끝에 설치되어 있고, 양쪽 게이트 신호선측 구동회로가 동작하므로, 이를 중 하나가 동작하지 않더라도, 표시 불량이 일어나지 않는다.

부호 1510은 디지털 비디오 데이터 분할회로를 나타낸다. 이 디지털 비디오 데이터 분할회로는 외부로부터 입력되는 디지털 비디오 데이터의 주파수를 1/2로 떨어뜨리기 위한 회로이다. 디지털 비디오 데이터를 분할함으로써, 구동회로의 동작에 요구되는 신호의 주파수도 1/2로 떨어질 수 있다.

디지털 비디오 데이터 분할회로가 화소 매트릭스 회로 또는 다른 구동회로와 동일 기간 상에 일체로 형성되는 것이 본 출원인에 의한 일본 특허출원 평9-356238호에 개시되어 있다. 상기 특허출원은 디지털 비디오 데이터 분할회로의 동작을 상세히 설명하고 있고, 그 출원이 본 실시예의 디지털 비디오 데이터 분할회로의 이해를 위해 참조될 수 있다.

화소 매트릭스 회로(1516)는 1920 × 1080개의 화소 TFT가 매트릭스 형태로 배치되어 있는 구성을 갖는다.

상기한 동작이 주사선의 수만큼 반복되어 1 화면(1 프레임)이 형성된다. 본 실시예의 액티브 매트릭스형 액정 표시장치에서는, 1초간에 60 프레임의 화상의 개사(改書)(rewriting)가 행해진다.

여기서, 본 실시예의 셀렉터 회로(1)(1506)와 셀렉터 회로(2)(1509)의 구성 및 동작에 대하여 설명한다. 셀렉터 회로의 기본 개념은 실시예 1에서 설명된 스위치 회로와 같다. 본 실시예에서는, 4개의 소스 신호선마다 하나의 셀렉터 회로(1)(1506)와 하나의 셀렉터 회로(2)(1509)가 사용된다. 그리하여, 소스 신호선측 구동회로(A)(1501)에 240개의 셀렉터 회로(1)(1506)와 240개의 셀렉터 회로(2)(1509)가 사용되고, 소스 신호선측 구동회로(B)(1511)에 240개의 셀렉터 회로(1)(1506)와 240개의 셀렉터 회로(2)(1509)가 사용된다.

다음, 도 16을 참조한다. 설명의 편의상, 도 16은 소스 신호선측 구동회로(A)의 맨 왼쪽 셀렉터 회로(1)만을 나타낸다. 실제의 소스 신호선측 구동회로는 240개의 셀렉터 회로를 구비하고 있다.

도 16에 나타난 바와 같이, 본 실시예의 셀렉터 회로(1)를 중 하나는 8개의 3입력 NAND 회로, 2개의 4입력 NAND 회로, 및 2개의 인버터를 포함한다. 래치 회로(2)(1506)로부터의 신호가 본 실시예의 셀렉터 회로(1)(1506)에 입력되고, 래치 회로(2)(1505)로부터의 신호선(L0.0, L0.1, L1.0, L1.1, ..., L1919.0, L1919.1) 중에서 신호선(L0.0, L0.1, L1.0, L1.1, L2.0, L2.1, L3.0, L3.1)이 도 16에 나타난 셀렉터 회로(1)(1506)에 접속되어 있다. 기호 La.b는 왼쪽으로부터 a번째의 소스 신호선에 디지털 비디오 데이터의 비트 번째 신호가 공급된다는 것을 의미한다. 신호선(SS1, SS2)으로부터 셀렉터 회로(1)(1506)에 타이밍 신호가 입력된다. 셀렉터 회로(1)(1506)로부터의 신호는 레벨 시프터 회로(1507)에 입력된 다음, D/A 변환회로(1508)에 입력된다.

여기서, 도 17을 참조한다. 도 17은 셀렉터 회로(2)(1509)를 나타낸다. 설명의 편의상, 도 17은 맨 왼쪽의 셀렉터 회로(2)(1509)를 나타낸다. 실제의 소스 신호선측 구동회로는 240개의 셀렉터 회로를 구비하고 있다.

도 17에 나타난 바와 같이, 본 실시예의 셀렉터 회로(2)(1509)는 3개의 P채널형 TFT와 3개의 N채널형 TFT를 갖는 4개의 아날로그 스위치와, 3개의 인버터를 포함한다. D/A 변환회로(1508)에 의해 아날로그 신호로 변환된 아날로그 영상 신호가 셀렉터 회로(2)(1509)에 입력된다.

도 18은 셀렉터 회로(1)(1506)와 셀렉터 회로(2)(1509)에 입력되는 2비트 데이터 및 타이밍 신호의 타이밍 차트를 나타낸다. 문자 LS는 래치 신호를 나타내고, 1 라인 기간(수평 주사기간)의 개시 시에 래치 회로(2)(1505)에 입력되는 신호이다. 문자 bit-0 및 bit-1은 래치 회로(2)(1505)로부터 출력되는 디지털 화상 신호의 제0 번째 비트 및 첫 번째 비트를 각각 나타낸다. 여기서, 도 16에 나타난 셀렉터 회로(1)(1506)에 접속된 래치 회로(2)(1505)로부터의 신호선 L0.1 및 L0.0에 각각 디지털 신호 A1 및 A0이 공급되고, 신호선 L1.1 및 L1.0에 각각 디지털 신호 B1 및 B0이 공급되고, 신호선 L2.1 및 L2.0에 각각 디지털 신호 C1 및 C0이 공급되고, 신호선 L3.1 및 L3.0에 각각 디지털 신호 D1 및 D0이 공급되는 것으로 가정한다.

셀렉터 회로(1)(1506)에서는, SS1 및 SS2에 공급되는 타이밍 신호에 의거하여, bit-1 및 bit-0에 출력되는 신호가 선택된다. 즉, 처음 1/4 라인 기간에는, bit-1에 A1이 출력되고, bit-0에 A0이 출력된다. 다음 1/4 라인 기간에는, bit-1에 B1이 출력되고, bit-0에 B0이 출력된다. 또 다음 1/4 라인 기간에는, bit-1에 C1이 출력되고, bit-0에 C0이 출력된다. 마지막 1/4 라인 기간에는, bit-1에 D1이 출력되고, bit-0에 D0이 출력된다. 이처럼, 래치 회로(2)로부터의 데이터가 매 1/4 기간마다 레벨 시프터 회로에 공급되는 것으로 된다.

D/A 변환회로(1508)에 사용될 수 있는 D/A 변환회로의 예로서, 본 출원인에 의한 일본 특허출원 평9-344351호 및 평9-365054호에 개시된 D/A 변환회로를 들 수 있다. 이들 특허출원에 개시된 D/A 변환회로에서는, 상기한 바와 같이, 디지털 비디오 데이터가 상위 비트와 하위 비트로 분할되고, 2개의 D/A 변환회로를 사용하여 아날로그 영상 신호가 형성된다. 예를 들어, 4비트 디지털 비디오 데이터가 사용되는 경우, 그 데이터는 상위 2비트와 하위 2비트로 분할되어 D/A 변환을 행할 수 있다.

D/A 변환회로로부터 공급되는 아날로그 영상 신호가 셀렉터 회로(2)(1509)에 의해 선택되고 소스 신호선에 공급된다. 이 경우에도, 아날로그 영상 신호가 매 1/4 라인 기간마다 대응하는 소스 신호선에 공급되지만, 그 아날로그 영상 신호는 아날로그 신호의 전압이 디코드 인에이블 신호(DE)에 의해 완전히 결정되는 기간에만 소스 신호선에 공급된다.

또한, 본 실시예에서는, 2비트 디지털 비디오 데이터가 처리되지만, 2비트 이상의 디지털 비디오 데이터가 처리될 수도 있다.

또한, 본 실시예에서는, 4개의 소스 신호선마다 하나의 D/A 변환회로가 제공되어 있기 때문에, 스위치 회로를 사용함으로써 D/A 변환회로의 수가 종래의 1/4로 된다. 그러나, 본 발명에서는, D/A 변환회로의 수가 다른 수로 변경될 수도 있다. 예를 들어, 8개의 소스 신호선에 하나의 D/A 변환회로가 할당되는 경우, 본 실시예의 반도체 표시장치에서는, D/A 변환회로의 수가 240개로 되므로, 구동회로의 면적의 추가 감소

가 실현될 수 있다. 이처럼, 몇 개의 소스 신호선에 하나의 D/A 변환회로를 할당하는 것은 본 실시예에 한정되는 것은 아니다.

따라서, 본 발명의 반도체 표시장치가 m 개(m 는 자연수)의 소스 신호선을 가지는 경우(바꿔 말하면, 화소 수(가로 \times 세로)가 $m \times m$ 임의의 수인 경우), 1 라인에 대하여 m 개의 x 비트 디지털 계조 신호(x 는 자연수)가 공급된다. 이 경우, 본 발명의 반도체 표시장치가 n 개(n 는 자연수)의 D/A 변환회로를 갖는 D/A 변환회로부를 구비하는 경우, 각각의 D/A 변환회로가 m/n 개의 디지털 계조 신호를 순차적으로 아날로그 신호로 변환하고, 그 아날로그 신호를 대응하는 m/n 개의 소스선에 공급한다. 한편, 디지털 계조 신호의 비트 수에 따른 D/A 변환회로를 사용하는 것이 좋다.

본 실시예에 의하면, 구동회로 중에서도 큰 면적을 차지하는 D/A 변환회로의 수가 종래 기술의 1/4로 될 수 있고, 셀렉터 회로의 증가를 고려하더라도, 반도체 표시장치의 소형화가 실현될 수 있다.

[실시예 6]

상기 실시예 2~5에서는 투과형 액정 패널에 대하여 설명하였지만, 반사형 액정 패널에도 실시예 1의 구동회로가 적용될 수 있다는 것은 말할 필요도 없다. 또한, 액정 재료에 강유전성 액정, 반(反)강유전성 액정 등이 사용될 수도 있다.

또한, 상기 실시예 2~5에서는 표시매체로 액정을 사용하는 경우에 대하여 설명하였지만, 액정과 고분자의 혼합 층, 소위 플리머 분산형 액정 표시장치에도 실시예 1의 구동회로가 사용될 수 있다. 또한, 인가 전압에 응답하여 광학적 특성이 변조될 수 있는 다른 표시매체를 갖는 어떠한 표시장치에도 실시예 1의 구동회로가 사용될 수 있다. 예를 들어, 전계발광(EL) 소자나 일렉트로크로믹스(electrochromics) 소자 등이 표시매체로서 사용될 수도 있다.

[실시예 7]

상기 실시예 1~6의 반도체 표시장치는 다양한 용도를 갖는다. 본 실시예에서는, 본 발명의 반도체 표시장치를 구비하는 반도체장치에 대하여 설명한다.

그러한 반도체장치로서는, 비디오 카메라, 스틸 카메라, 프로젝터, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기 등) 등을 들 수 있다. 도 13(A)~도 13(F)는 이들 반도체장치의 예를 나타낸다.

도 13(A)는 본체(1301), 음성 출력부(1302), 음성 입력부(1303), 반도체 표시장치(1304), 조작 스위치(1305), 및 안테나(1306)로 구성된 휴대 전화기를 나타낸다.

도 13(B)는 본체(1401), 반도체 표시장치(1402), 음성 입력부(1403), 조작 스위치(1404), 배터리(1405), 및 수상(受信)부(1406)로 구성된 비디오 카메라를 나타낸다.

도 13(C)는 본체(1501), 카메라부(1502), 수상부(1503), 조작 스위치(1504), 및 반도체 표시장치(1505)로 구성된 모바일 컴퓨터를 나타낸다.

도 13(D)는 본체(1601), 반도체 표시장치(1602), 및 밴드부(1603)로 구성된 헤드 장착형 표시장치를 나타낸다.

도 13(E)는 본체(1701), 광원(1702), 반도체 표시장치(1703), 편광 빔 스플리터(1704), 반사기(1705, 1706), 및 스크린(1707)으로 구성된 리어(rear)형 프로젝터를 나타낸다. 한편, 리어형 프로젝터에서는, 본체가 고정된 상태에서 시청자의 보는 위치에 따라 스크린의 각도가 변경될 수 있는 것이 바람직하다.

도 13(F)는 본체(1801), 광원(1802), 반도체 표시장치(1803), 광학계(1804), 및 스크린(1805)으로 구성된 프론트(front)형 프로젝터를 나타낸다.

발명의 효과

본 발명의 반도체 표시장치에 의하면, 구동회로 중에서도 큰 면적을 차지하는 D/A 변환회로의 수가 종래 기술과 비교하여 대폭 감소될 수 있기 때문에, 반도체 표시장치의 소형화가 실현될 수 있다.

검구의 범위

형구항 1

m 개의 x 비트 디지털 계조 신호(m 와 x 는 자연수이다)를 기억하는 기억회로와;

상기 기억회로로부터 공급되는 상기 m 개의 x 비트 디지털 계조 신호를 아날로그 신호로 변환하고, 그 아날로그 신호를 m 개의 소스 신호선에 공급하는 D/A 변환회로부를 포함하고;

상기 D/A 변환회로부가 n 개의 D/A 변환회로(n 는 자연수이다)를 가지고,

상기 n 개의 D/A 변환회로를 각각의 입력부가 m/n 개의 x 입력 NAND의 출력부에 접속되고,

상기 m/n 개의 x 입력 NAND들의 입력부를 각각이 y 입력 NAND(y 는 2 이상이다)의 출력부에 접속되고,

상기 n 개의 D/A 변환회로를 각각이 m/n 개의 x 비트 디지털 계조 신호를 순차적으로 m/n 개의 아날로그 신호로 변환하여, 그 m/n 개의 아날로그 신호를 대응하는 m/n 개의 소스 신호선에 공급하는 것을 특징으로 하는 표시장치.

형구항 2

제 1 항에 있어서, 상기 기억회로가 다수의 래치 회로를 포함하는 것을 특징으로 하는 표시장치.

청구항 3

제 1 항에 있어서, 상기 n 개의 D/A 변환회로를 각각이 기판 위에 형성된 박막트랜지스터를 포함하는 것을 특징으로 하는 표시장치.

청구항 4

제 3 항에 있어서, 상기 표시장치가, 상기 기판 위에 형성된 화소 박막트랜지스터를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 5

제 1 항에 있어서, 상기 표시장치가 액정 표시장치인 것을 특징으로 하는 표시장치.

청구항 6

제 1 항에 있어서, 상기 표시장치가 전계발광(EL) 표시장치인 것을 특징으로 하는 표시장치.

청구항 7

제 1 항에 있어서, 상기 표시장치가 일렉트로크로믹스 표시장치인 것을 특징으로 하는 표시장치.

청구항 8

제 1 항에 있어서, 상기 표시장치가 비디오 카메라에 설치되는 것을 특징으로 하는 표시장치.

청구항 9

제 1 항에 있어서, 상기 표시장치가 스틸 카메라에 설치되는 것을 특징으로 하는 표시장치.

청구항 10

제 1 항에 있어서, 상기 표시장치가 프로젝터에 설치되는 것을 특징으로 하는 표시장치.

청구항 11

제 1 항에 있어서, 상기 표시장치가 헤드 장착형 표시장치에 설치되는 것을 특징으로 하는 표시장치.

청구항 12

제 1 항에 있어서, 상기 표시장치가 자동차 내비게이션 시스템에 설치되는 것을 특징으로 하는 표시장치.

청구항 13

제 1 항에 있어서, 상기 표시장치가 퍼스널 컴퓨터에 설치되는 것을 특징으로 하는 표시장치.

청구항 14

제 1 항에 있어서, 상기 표시장치가 휴대형 정보 단말기에 설치되는 것을 특징으로 하는 표시장치.

청구항 15

제 1 항에 있어서, 상기 표시장치가 모바일 컴퓨터에 설치되는 것을 특징으로 하는 표시장치.

청구항 16

제 1 항에 있어서, 상기 표시장치가 휴대 전화기에 설치되는 것을 특징으로 하는 표시장치.

청구항 17

제 1 항에 있어서, 상기 기억회로가 하나의 래치 회로를 포함하는 것을 특징으로 하는 표시장치.

청구항 18

m 개의 x 비트 디지털 계조 신호(m 과 x 는 자연수이다)를 기억시키는 단계와;

1 라인 기간에 n 개의 D/A 변환회로(n 은 자연수이다) 각각에 의해 m/n 개의 x 비트 디지털 계조 신호를 순차적으로 m/n 개의 아날로그 신호로 변환하며, 그 m/n 개의 아날로그 신호를 대응하는 m/n 개의 소스 신호선에 공급하는 단계를 포함하고;

동일 타이밍에서 상기 n 개의 D/A 변환회로가 n 개의 아날로그 신호를 n 개의 소스 신호선에 공급하는 것을 특징으로 하는 표시장치 구동방법.

청구항 19

시프트 레지스터로부터의 타이밍 신호에 의해 m 개의 x 비트 디지털 계조 신호(m 과 x 는 자연수이다)를 샘플링하고 기억시키는 단계;

n 개의 D/A 변환회로(n 은 자연수이다) 각각에 의해 m/n 개의 x 비트 디지털 계조 신호를 순차적으로 m/n 개의 아날로그 신호로 변환하며, 그 m/n 개의 아날로그 신호를 대응하는 m/n 개의 소스 신호선에 공급하는 단계를 포함하고;

동일 타이밍에서 상기 n 개의 D/A 변환회로가 n 개의 아날로그 신호를 n 개의 소스 신호선에 공급하는 것을

특징으로 하는 표시장치 구동방법.

청구항 20

제 18 항 또는 제 19 항에 있어서, 상기 n 개의 D/A 변환회로를 각각이 기관 위에 형성된 박막트랜지스터를 포함하는 것을 특징으로 하는 표시장치 구동방법.

청구항 21

제 20 항에 있어서, 상기 표시장치가, 상기 기관 위에 형성된 화소 박막트랜지스터를 더 포함하는 것을 특징으로 하는 표시장치 구동방법.

청구항 22

제 18 항 또는 제 19 항에 있어서, 상기 표시장치가 액정 표시장치인 것을 특징으로 하는 표시장치 구동방법.

청구항 23

제 18 항 또는 제 19 항에 있어서, 상기 표시장치가 전계발광(EL) 표시장치인 것을 특징으로 하는 표시장치 구동방법.

청구항 24

제 18 항 또는 제 19 항에 있어서, 상기 표시장치가 일렉트로크로믹스 표시장치인 것을 특징으로 하는 표시장치 구동방법.

청구항 25

제 18 항 또는 제 19 항에 있어서, 상기 표시장치가, 휴대 전화기, 비디오 카메라, 모바일 컴퓨터, 헤드 장착형 표시장치, 리어형 프로젝터, 프론트형 프로젝터로 이루어진 군으로부터 선택된 전자장치에 설치되는 것을 특징으로 하는 표시장치 구동방법.

청구항 26

시프트 레지스터로부터 제1 래치 회로로 타이밍 신호를 공급하는 단계;

상기 타이밍 신호에 의해 상기 제1 래치 회로에 n 개의 x 비트 디지털 계조 신호(m 및 x 는 자연수이다)를 기억시키는 단계;

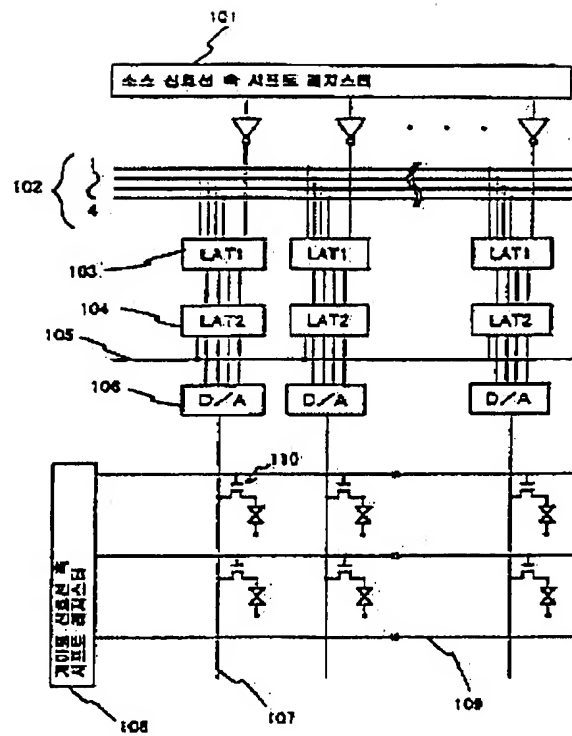
래치 풀스에 의거하여 한꺼번에 상기 n 개의 x 비트 디지털 계조 신호를 상기 제1 래치 회로로부터 제2 래치 회로로 송출하여, 그 제2 래치 회로에 상기 m 개의 x 비트 디지털 계조 신호를 기억시키는 단계; 및

1 라인 기간에 n 개의 D/A 변환회로(n 은 자연수이다) 각각에 의해 m/n 개의 x 비트 디지털 계조 신호를 순차적으로 m/n 개의 아날로그 신호로 변환하여, 그 m/n 개의 아날로그 신호를 대응하는 m/n 개의 소스 신호선에 공급하는 단계를 포함하고;

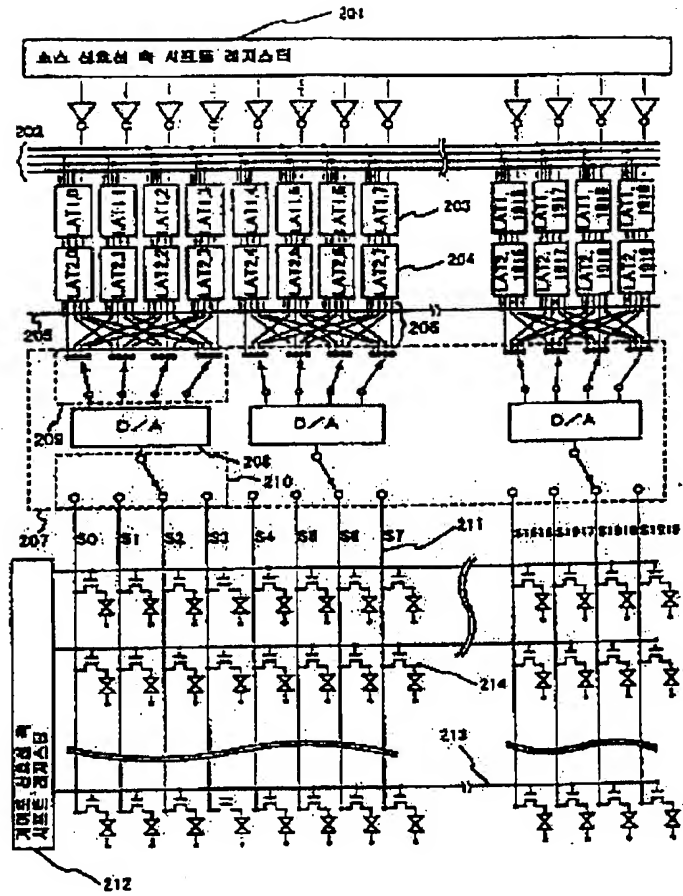
동일 타이밍에서, 상기 n 개의 D/A 변환회로가 n 개의 아날로그 신호를 n 개의 소스 신호선에 공급하는 것을 특징으로 하는 표시장치 구동방법.

도면

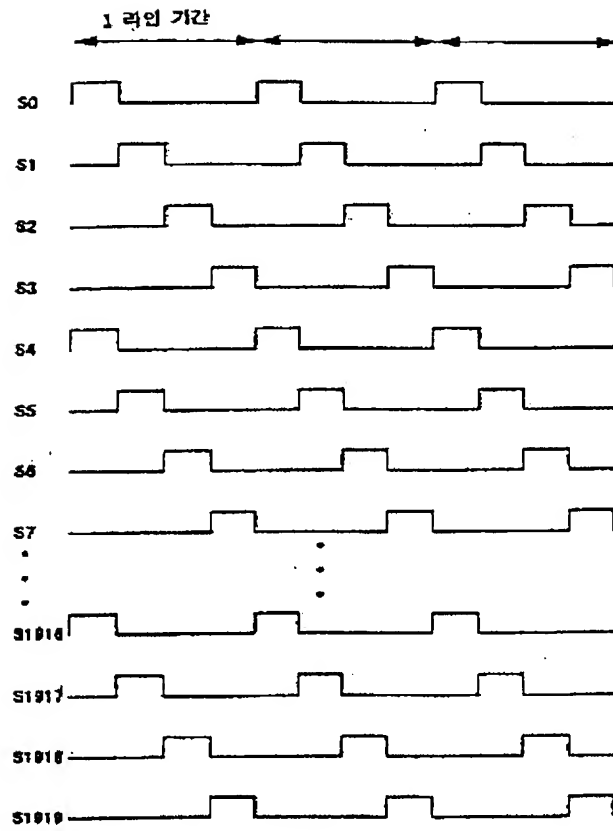
도면1



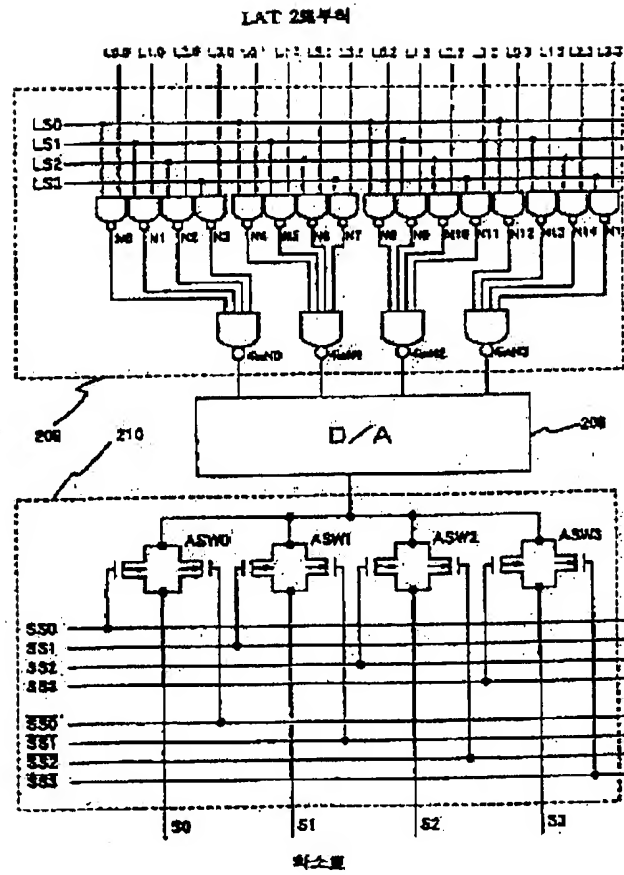
도 2



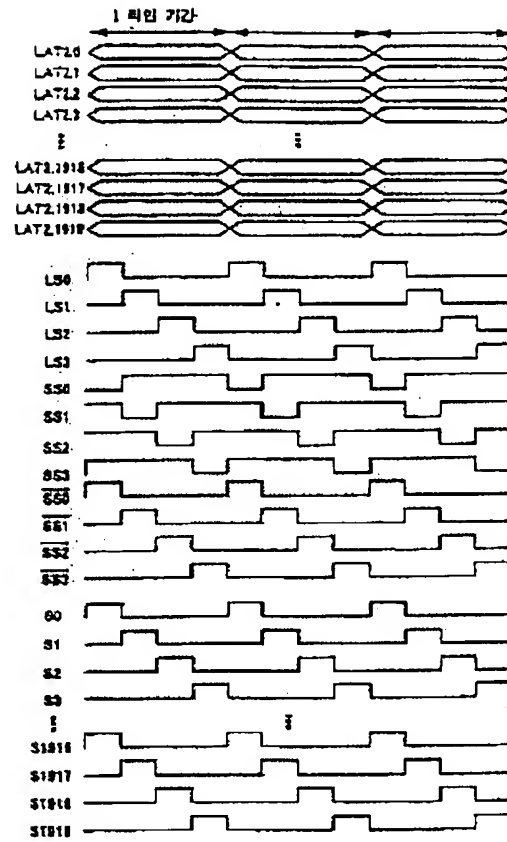
도면3



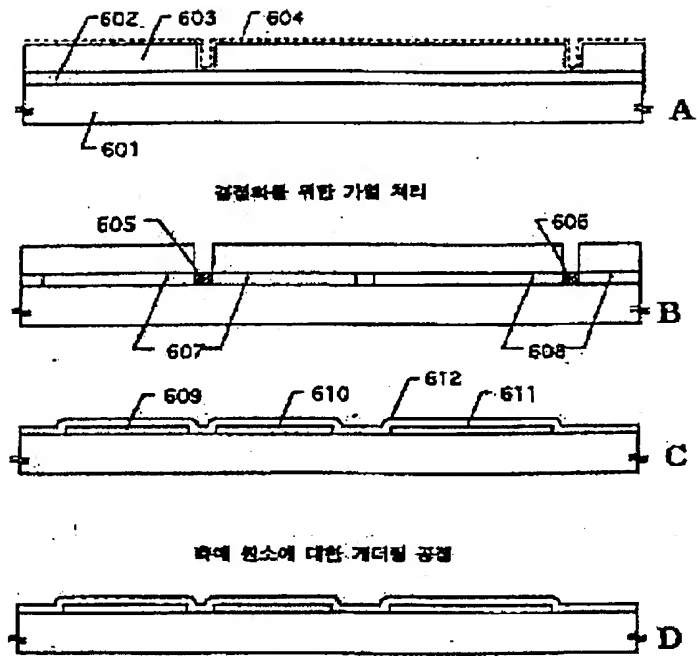
도 4



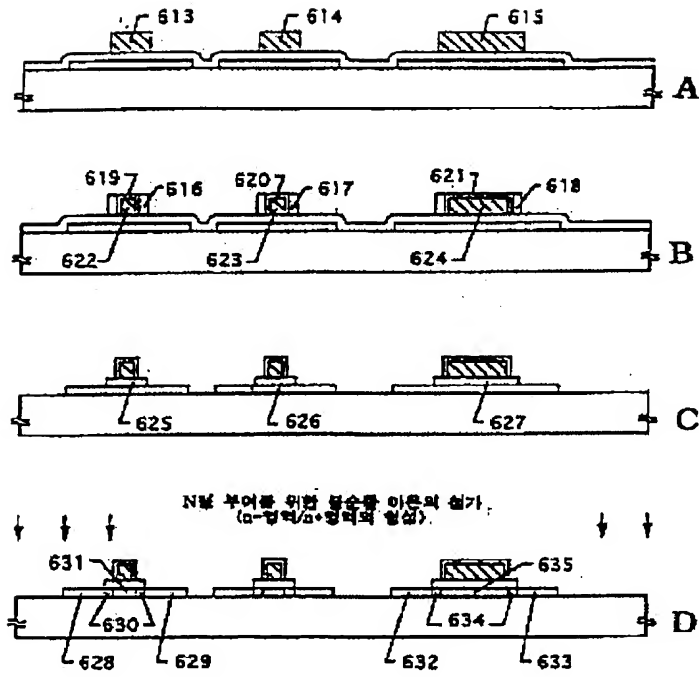
도면5



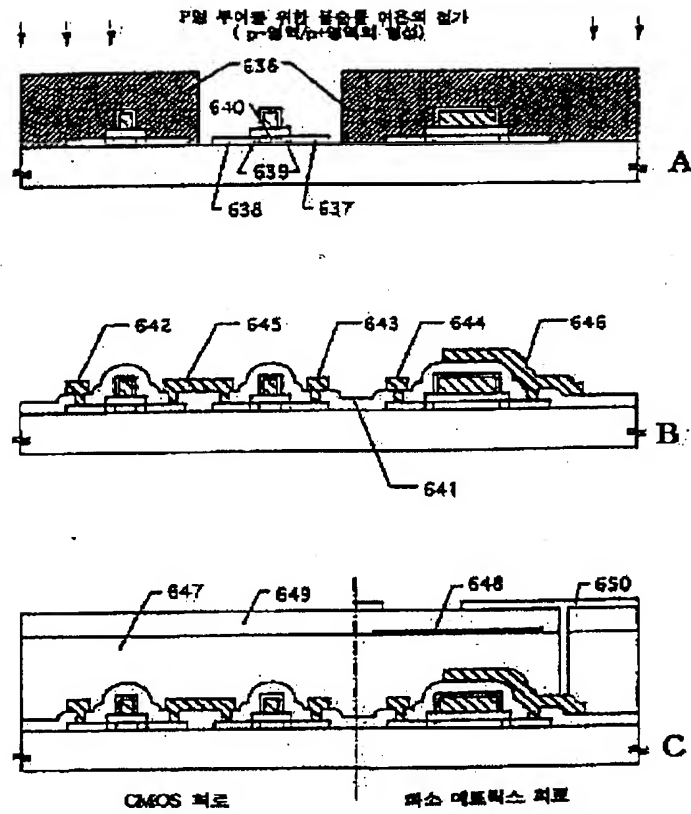
도면8



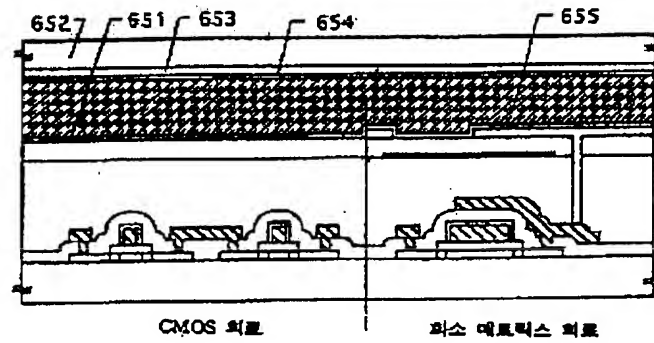
도 7



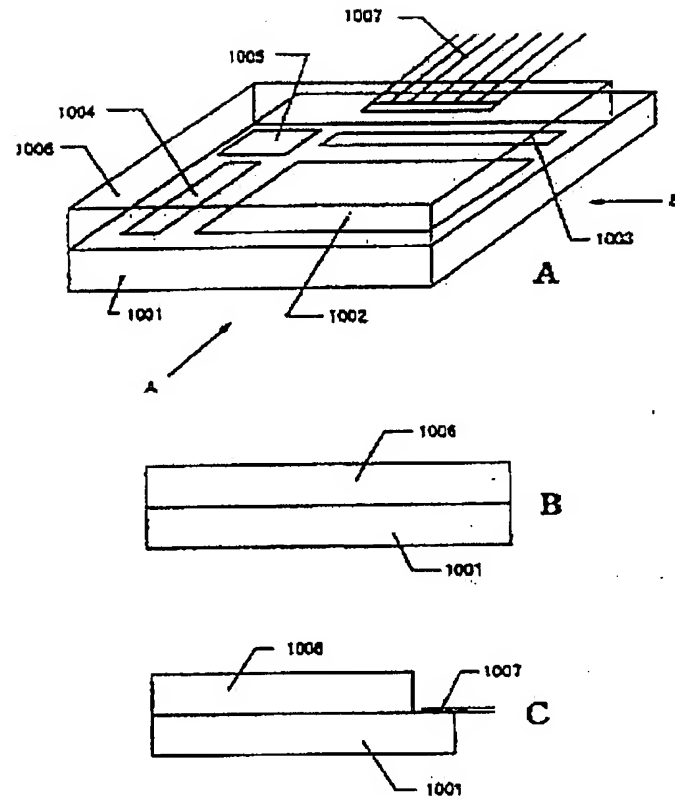
도면8



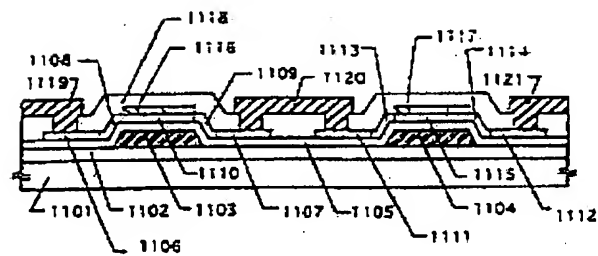
도면9



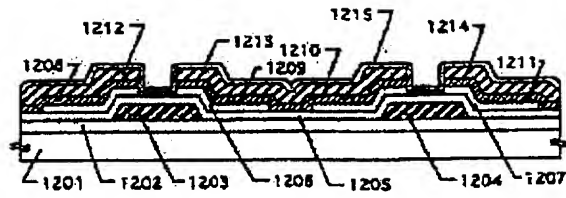
5210



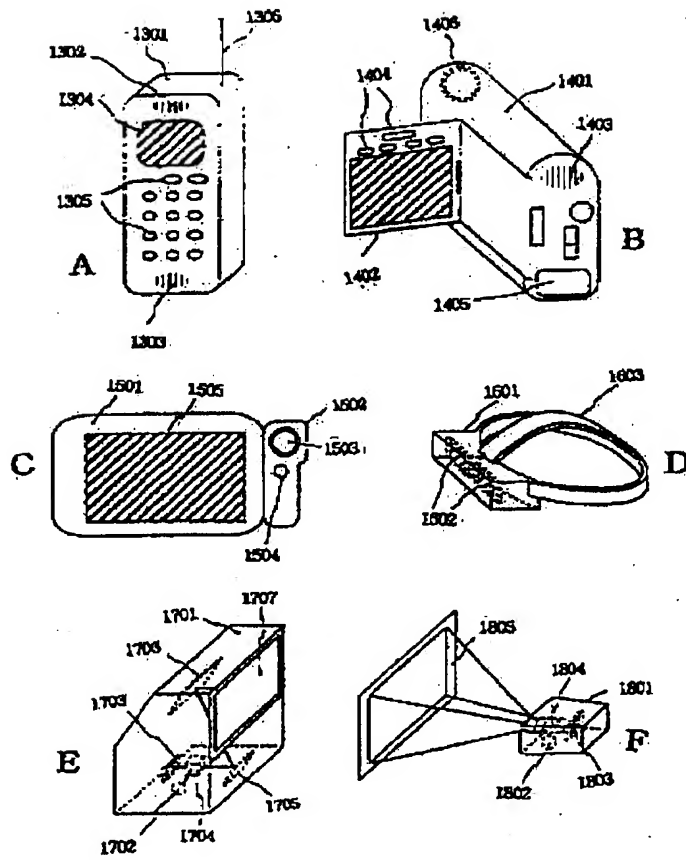
5211



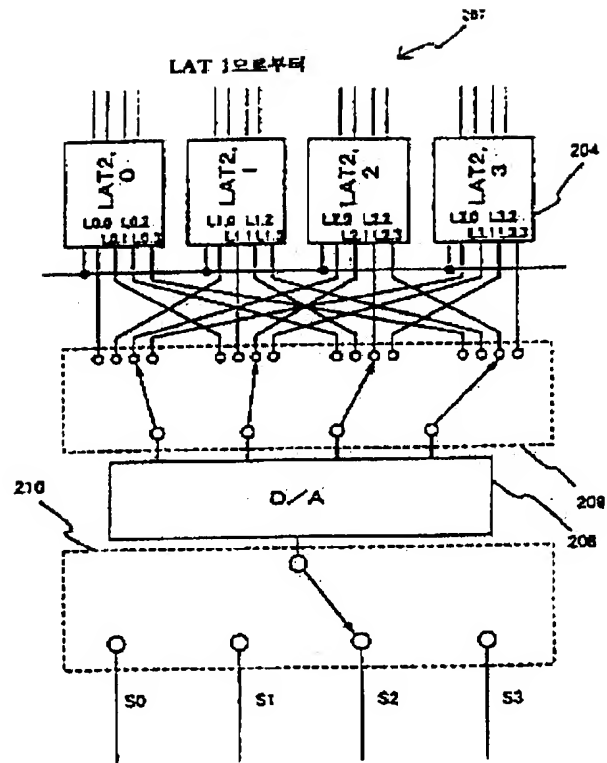
도면 12



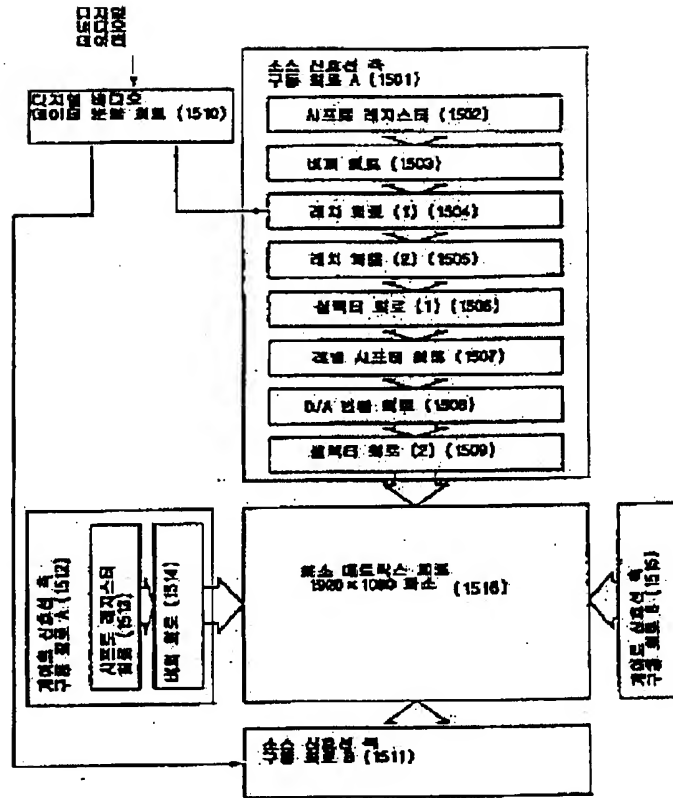
도면 13



도면 14

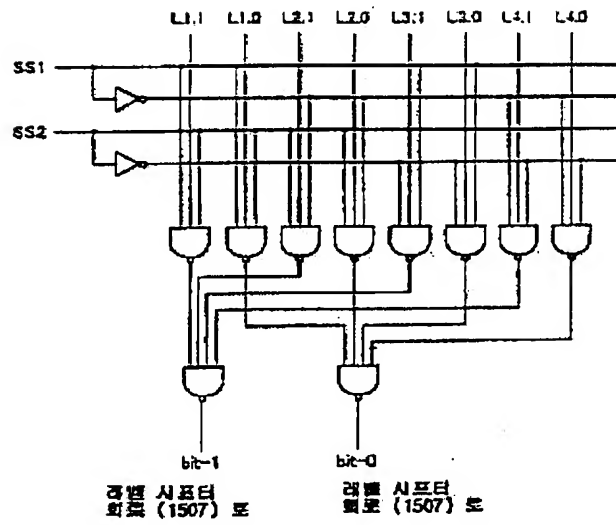


도면 15

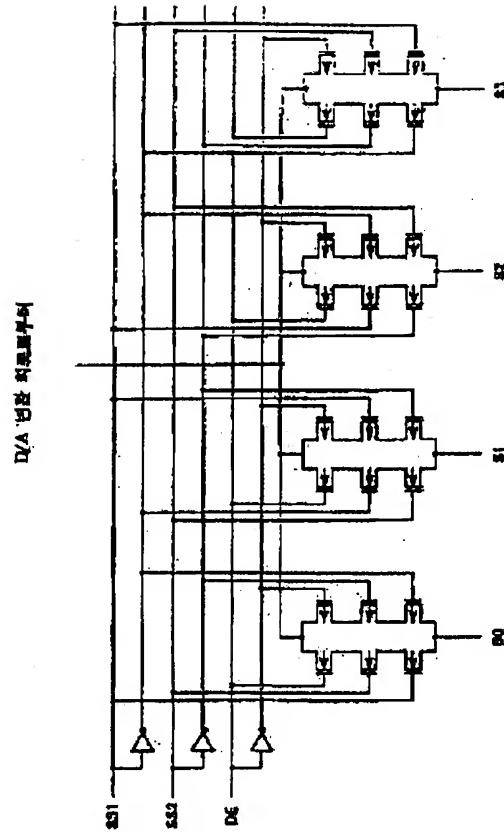


도면 10

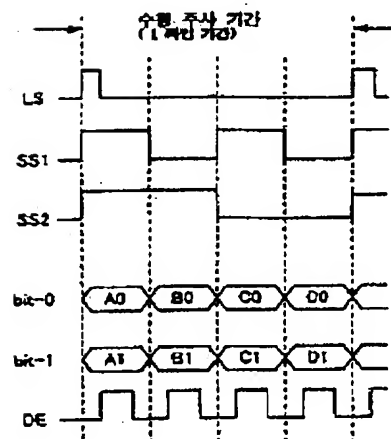
레지 회로 (2) (1505)로부터



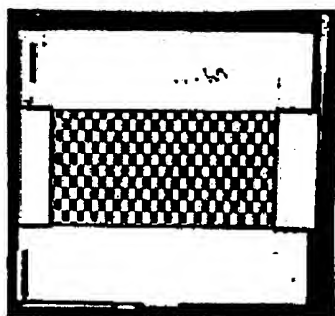
도면 17



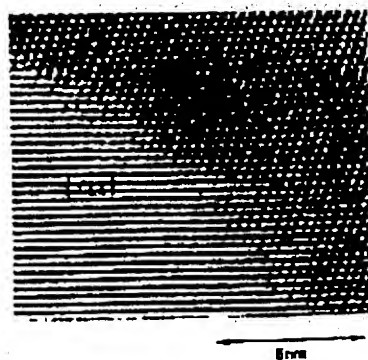
도면 18



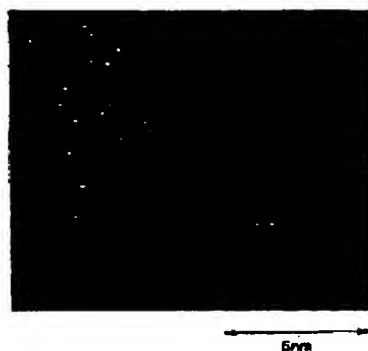
도면 19



도면 20



도면 21



도 22



A



B

도 28

